

8 位 MCU
HR7P159

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海东软载波微电子有限公司

2018 年 01 月 18 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

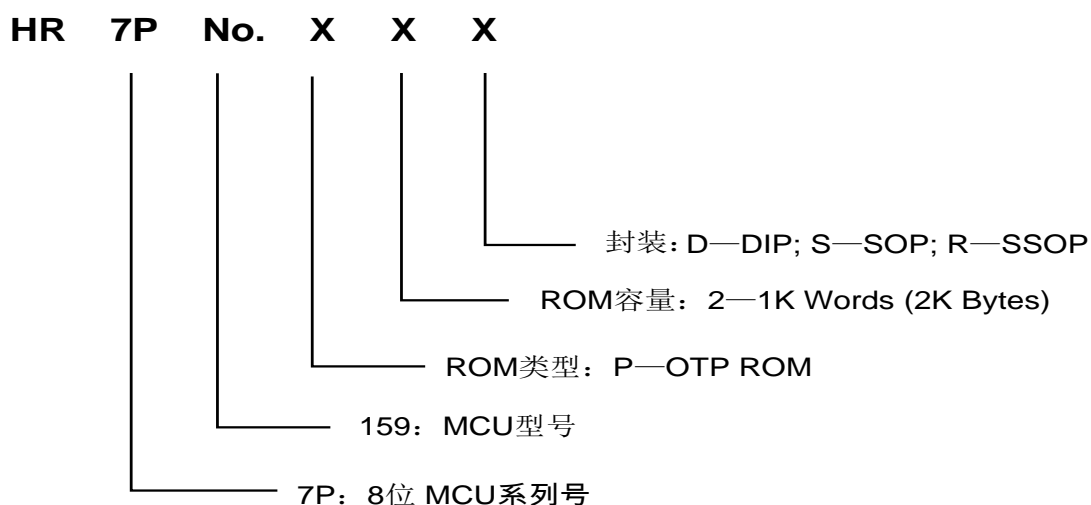
东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR7P159P2D*	OTP: 1008 Words	SRAM: 128 Bytes	DIP14
HR7P159P2S			SOP14
HR7P159P2R			SSOP10

注*: 此型号已停产



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@essemi.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成,本资料中所记载的实例以正确的使用方法和标准操作为前提,使用方在应用该等实例时请充分考虑外部诸条件,上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性,上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因,上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息,请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2013-7-27	初版
V1.1	2013-9-06	修改《电气特性》附录中 IDLE 功耗测试条件 修改管脚分配图中管脚名称排列顺序 增加《系统电源》章节
V1.2	2013-11-16	删除《系统电源》章节等相关内容 删除 149 产品信息
V1.3	2014-1-9	添加附录 2《特殊功能寄存器总表》 统一封装图 PWM 复用描述 修改工作电压范围
V1.4	2014-6-17	修改 LDO 稳定时间
V1.5	2014-6-23	优化 LDO 稳定时间描述
V1.6	2014-08-07	更新免责声明
V1.7	2014-09-05	去掉不支持功能模块
V1.8		统一修改公司名称、logo 及网址等
V1.9	2016-08-16	增加了未引出的和未使用的 I/O 管脚处理以及 VPP 脚管脚电压要求
V1.10	2018-1-18	更新芯片简介概述中部分描述。

目 录

内容目录

第 1 章	芯片简介	10
1.1	概述	10
1.2	应用领域	11
1.3	结构框图	12
1.4	管脚分配图	13
1.4.1	14-pin	13
1.4.2	10-pin	13
1.5	管脚说明	14
1.5.1	管脚封装对照表	14
1.5.2	管脚复用说明	15
第 2 章	内核特性	17
2.1	CPU 内核概述	17
2.2	系统时钟和机器周期	17
2.3	指令集概述	17
2.4	特殊功能寄存器	18
第 3 章	存储资源	20
3.1	程序存储器	20
3.1.1	概述	20
3.1.2	程序堆栈	21
3.1.3	程序存储器查表操作	21
3.1.3.1	概述	21
3.1.3.2	操作例程	21
3.1.4	特殊功能寄存器	21
3.2	数据存储器	22
3.2.1	概述	22
3.2.2	寻址方式	22
3.2.2.1	直接寻址	22
3.2.2.2	间接寻址	23
NEXT1:		24
3.2.3	特殊功能寄存器地址分配表	25
3.2.4	特殊功能寄存器	27
第 4 章	输入/输出端口	28
4.1	概述	28
4.2	结构框图	28
4.3	I/O 端口弱上拉	29
4.4	I/O 端口驱动能力	29
4.5	外部按键中断 (KINT)	29
4.6	外部端口中断 (PINT)	30
4.7	特殊功能寄存器	30
第 5 章	外设	33
5.1	定时器/计数器模块 (Timer/Counter)	33

5.1.1	8 位定时器/计数器 (T8N)	33
5.1.1.1	概述	33
5.1.1.2	内部结构图	33
5.1.1.3	工作模式	33
5.1.1.4	预分频器	34
5.1.1.5	中断标志	34
5.1.1.6	特殊功能寄存器	34
5.1.2	两路 8 位 PWM 时基定时器 (T8P1/T8P2)	36
5.1.2.1	概述	36
5.1.2.2	内部结构图	36
5.1.2.3	预分频器和后分频器	37
5.1.2.4	工作模式	37
5.1.2.5	定时器模式	37
5.1.2.6	PWM 输出模式	38
5.1.2.7	特殊功能寄存器	40
第 6 章	特殊功能及操作特性	42
6.1	系统时钟与振荡器	42
6.1.1	概述	42
6.1.2	时钟源	42
6.1.2.1	外部时钟	43
6.1.2.2	内部时钟	43
6.1.3	系统时钟切换	43
6.1.3.1	系统上电时序	44
6.1.3.2	系统时钟切换时序	44
6.1.4	特殊功能寄存器	46
6.2	看门狗定时器	49
6.2.1	概述	49
6.2.2	内部结构图	49
6.2.3	特殊功能寄存器	49
6.3	复位模块	51
6.3.1	概述	51
6.3.2	复位时序图	51
6.3.3	低电压复位配置	52
6.3.4	特殊功能寄存器	52
6.4	中断处理	53
6.4.1	概述	53
6.4.2	中断模式配置	53
6.4.3	中断逻辑表	53
6.4.4	默认中断模式	54
6.4.5	向量中断模式	54
6.4.5.1	中断向量分组	54
6.4.6	操作说明	54
6.4.7	特殊功能寄存器	55
6.5	低功耗操作	58

6.5.1	MCU 低功耗模式.....	58
6.5.2	低功耗模式配置	58
6.5.3	IDLE 唤醒方式配置	59
6.5.4	唤醒时间计算	59
6.5.5	特殊功能寄存器	59
6.6	芯片配置字	60
第 7 章	芯片封装图	61
7.1	14-pin 封装图.....	61
7.2	10-pin 封装图.....	63
附录 1	指令集	64
附录 1.1	概述	64
附录 1.2	寄存器操作指令.....	64
附录 1.3	程序控制指令	64
附录 1.4	算术/逻辑运算指令	66
附录 2	特殊功能寄存器总表	68
附录 3	电气特性.....	70
附录 3.1	参数特性表	70
附录 3.2	参数特性图	73

图目录

图 1-1	HR7P159 结构框图.....	12
图 1-2	HR7P159P2D/S (DIP14/SOP14) 顶视图	13
图 1-3	HR7P159P2R (SSOP10) 顶视图.....	13
图 3-1	HR7P159 程序区地址映射和堆栈示意图.....	20
图 3-2	数据区地址映射示意图	22
图 3-3	普通直接寻址示意图	23
图 3-5	间接寻址示意图	23
图 4-1	输入/输出端口结构图 A.....	28
图 4-2	输入端口结构图 C	29
图 5-1	T8N 内部结构图	33
图 5-2	T8P1/T8P2 内部结构图	36
图 5-3	PWM 输出模式示意图.....	38
图 5-4	PWM 输出示意图	39
图 6-1	系统时钟切换图	42
图 6-2	系统上电时序图	44
图 6-3	INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟	44
图 6-4	INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟	45
图 6-5	低速 LP 时钟切换到 INTOSCH 时钟	45
图 6-6	INTOSCH 时钟切换到低速 LP 时钟.....	46
图 6-7	看门狗定时器内部结构图.....	49
图 6-8	芯片复位原理图	51
图 6-9	上电复位时序示意图	51
图 6-10	低电压复位时序示意图	51
图 6-11	中断控制逻辑	53

表目录

表 1-1	HR7P159 管脚封装对照表.....	14
表 1-2	管脚说明	16
表 4-1	I/O 端口结构信息表.....	28
表 4-2	I/O 端口弱上拉	29
表 4-3	I/O 端口强驱动能力	29
表 4-4	外部端口中断	30
表 5-1	T8N 工作模式配置表.....	33
表 5-2	T8N 预分频器配置表.....	34
表 5-3	T8P1/T8P2 后分频器配置表	37
表 5-4	T8P1/T8P2 预分频器配置表	37
表 5-5	T8Px 工作模式配置表	37
表 6-1	晶体振荡器电容参数参考表	43
表 6-2	低电压检测配置表.....	52
表 6-3	中断处理模式配置表	53
表 6-4	中断逻辑表（默认中断模式）	53
表 6-5	中断向量分组表	54
表 6-6	低功耗模式配置表.....	58
表 6-7	休眠唤醒表.....	59
表 6-8	唤醒时间计算表	59
附录表 1-1	寄存器操作指令表	64
附录表 1-2	程序控制指令表	64
附录表 1-3	程序控制指令表[续]	65
附录表 1-4	算术/逻辑运算指令表.....	66
附录表 1-5	算术/逻辑运算指令表[续].....	67

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 复位向量位于 000_H，中断向量位于 008_H
 - ◇ 支持中断处理，7 个中断源，支持中断向量表
 - ◇ CPU 最高工作频率
 - 2MHz (VDD=2.2~5.5V)
 - 8MHz (VDD=2.7~5.5V)
 - 16MHz (VDD=3.0~5.5V)
- ◆ 存储资源
 - ◇ 1008 Words OTP 程序存储器，8 级程序堆栈
 - ◇ 128 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址和查表读操作
 - ◇ 数据存储器支持直接寻址、间接寻址
- ◆ I/O 端口
 - ◇ 最多支持 11 个 I/O 和 1 个输入
 - PA 端口 (PA0~PA3)
 - PB 端口 (PB0~PB3)
 - PB 端口 (PB4~PB7) (仅 14PIN 支持)
 - ◇ 支持 1 个外部端口中断 PINT (PINT0 为输入端)
 - ◇ 支持 1 个 5 输入外部按键中断 KINT (KIN0~KIN4 为输入端)
 - ◇ 支持独立的可配置内部弱上拉输入端口
 - ◇ 支持独立的可配置强驱动能力端口
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 可分频，最低可分频至 32KHz
 - 出厂前，芯片已经在常温 25℃ 条件下校准，校准精度为 ±2%
 - ◇ 支持内部低频 32KHz RC 振荡器时钟源 (用于 WDT 时钟源及可配置为系

统时钟源)

- ◇ 支持外部振荡器时钟源
- ◇ 支持高低速系统时钟切换
 - 内部低频 32KHz 时钟与内/外部高频时钟切换
 - 外部低频时钟与内部高频时钟切换
- ◆ 外设
 - ◇ 8 位定时器 T8N
 - 定时器模式 (系统时钟) / 计数器模式 (外部计数时钟输入)
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 8 位 PWM 时基定时器 T8P1/T8P2
 - 定时器模式 (系统时钟)
 - 支持可配置预分频器及可配置后分频器
 - 支持两路脉宽调制 (PWM) 输出扩展功能
 - 支持中断产生
- ◆ 低功耗特性
 - ◇ IDLE 电流
 - 15uA@5.0V, 25°C, 典型值
 - ◇ 动态电流
 - 35uA@32KHz, 5.0V, 25°C, 典型值
 - 500uA@2MHz, 5.0V, 25°C, 典型值
 - 1.5mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持实时仿真 ICE 调试工具
 - ◇ 支持编程代码加密保护
- ◆ 设计工艺及封装
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 14 个管脚, 采用 SOP/DIP 封装 (HR7P159P2D/S)
 - ◇ 10 个管脚, 采用 SSOP 封装 (HR7P159P2R)
- ◆ 工作条件
 - ◇ 工作电压范围: 2.2V ~ 5.5V
 - ◇ 工作温度范围: -40°C ~ 85°C

1.2 应用领域

本芯片可用于 LED 灯控、便携式产品和小家电等领域。

1.3 结构框图

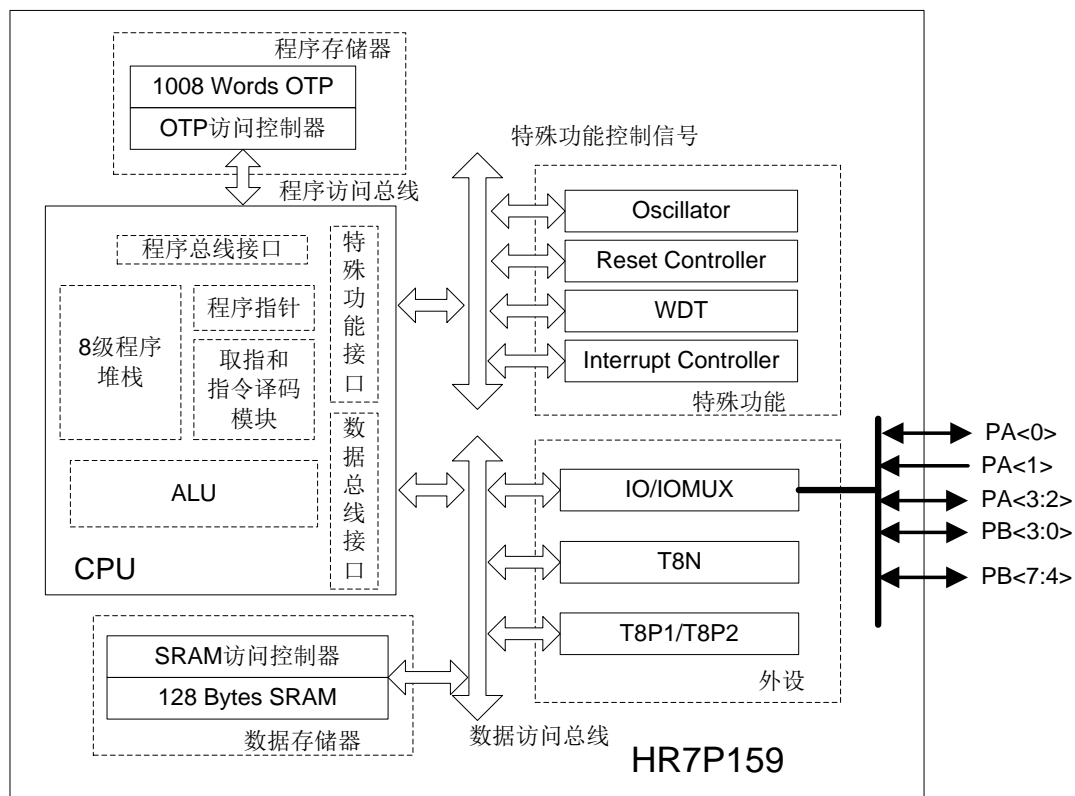


图 1-1 HR7P159 结构框图

1.4 管脚分配图

1.4.1 14-pin

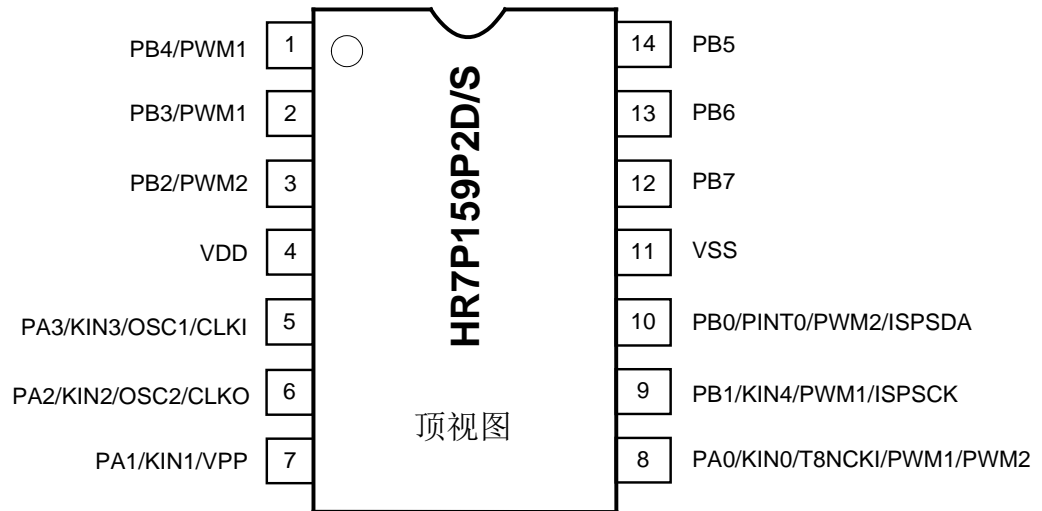


图 1-2 HR7P159P2D/S (DIP14/SOP14) 顶视图

1.4.2 10-pin

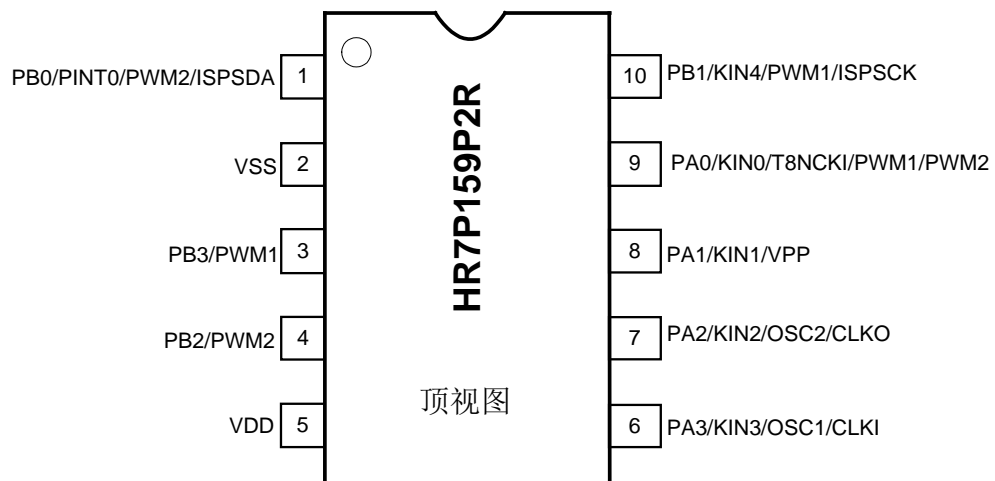


图 1-3 HR7P159P2R (SSOP10) 顶视图

注 1: T8P1 的 PWM1 输出端口可软件配置。

注 2: T8P2 的 PWM2 输出端口可软件配置。

注 3: 如果产品封装引脚数小于最大引脚数, 则未引出的和未使用的 I/O 管脚都需设置为输出低电平。否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。

注 4: 用户系统必须保证 VPP 管脚电压低于芯片电源电压 VDD, 否则芯片可能进入异常工作模式。如果该管脚上电压存在过冲, 则用户系统必须限制该脉冲的电压不高于 VDD+0.5V, 脉冲宽度不超过 100us。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR7P159	
	DIP14/SOP14	SSOP10
PA0/KIN0/T8NCKI/PWM1/PWM2	8	9
PA1/KIN1/VPP	7	8
PA2/KIN2/OSC2/CLKO	6	7
PA3/KIN3/OSC1/CLKI	5	6
PB0/PINT0/PWM2/ISPSDA	10	1
PB1/KIN4/PWM1/ISPSCK	9	10
PB2/PWM2	3	4
PB3/PWM1	2	3
PB4/PWM1	1	-
PB5	14	-
PB6	13	-
PB7	12	-
VDD	4	5
VSS	11	2

表 1-1 HR7P159 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/KIN0/T8NCKI/PWM1/PWM2	PA0	D	通用 I/O	可单独使能弱上拉/大电流
	KIN0	D	外部按键唤醒输入 0	
	T8NCKI	D	T8N 时钟输入	
	PWM1	D	T8P1 为时基的脉宽调制输出	
	PWM2	D	T8P2 为时基的脉宽调制输出	
PA1/KIN1/VPP	PA1	D	通用 I	可单独使能弱上拉
	KIN1	D	外部按键唤醒输入 1	
	VPP	A	OTP 编程高压输入	
PA2/KIN2/OSC2/CLKO	PA2	D	通用 I/O	可单独使能弱上拉/大电流
	KIN2	D	外部按键唤醒输入 2	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/16 参考时钟输出	
PA3/KIN3/OSC1/CLKI	PA3	D	通用 I/O	可单独使能弱上拉/大电流
	KIN3	D	外部按键唤醒输入 3	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
PB0/PINT0/PWM2/ISPSDA	PB0	D	通用 I/O	可单独使能弱上拉/大电流
	PINT0	D	外部端口中断输入	
	PWM2	D	T8P2 为时基的脉宽调制输出	
	ISPSDA	D	串行编程数据输入输出	
PB1/KIN4/PWM1/ISPSCK	PB1	D	通用 I/O	可单独使能弱上拉/大电流
	KIN4	D	外部按键唤醒输入 4	
	PWM1	D	T8P1 为时基的脉宽调制输出	
	ISPSCK	D	串行编程时钟输入	
PB2/PWM2	PB2	D	通用 I/O	可单独使能弱上拉/大电流
	PWM2	D	T8P2 为时基的脉宽调制输出	

[续]

管脚名	管脚复用	A/D	端口说明	备注
PB3/PWM1	PB3	D	通用 I/O	可单独使能弱上拉/大电流
	PWM1	D	T8P1 为时基的脉宽调制输出	
PB4/PWM1	PB4	D	通用 I/O	可单独使能弱上拉/大电流 仅 HR7P159P2D/S 支持
	PWM1	D	T8P1 为时基的脉宽调制输出	
PB5	PB5	D	通用 I/O	可单独使能弱上拉/大电流 仅 HR7P159P2D/S 支持
PB6	PB6	D	通用 I/O	可单独使能弱上拉/大电流 仅 HR7P159P2D/S 支持
PB7	PB7	D	通用 I/O	可单独使能弱上拉/大电流 仅 HR7P159P2D/S 支持
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字;

注 2: T8P1 的 PWM1 输出端口可软件配置。

注 3: T8P2 的 PWM2 输出端口可软件配置。

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 机器周期为 2 个系统时钟周期
 - ◇ 支持中断处理，共 7 个中断源，支持中断向量表

2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器产生两个不重叠的正交时钟 phase1 (p1)，phase2 (p2)。两个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 7P 系列 79 条精简指令集系统。

除了部分条件跳转与控制程序流程的指令为双（机器）周期指令，其他指令均为单（机器）周期指令。若芯片系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

具体指令集请参考《附录 指令集》。

2.4 特殊功能寄存器

寄存器名称	程序状态字寄存器 (PSW)		
地址	FF84 _H		
复位值	x00x xxxx		
C	bit0	R/W	全进位或全借位标志位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位或半借位标志位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
OV	bit3	R/W	溢出标志位 0: 有符号算术运算未发生溢出 1: 发生溢出
N	bit4	R/W	负数标志位 0: 有符号算术或逻辑运算结果为正数 1: 结果为负数
OF	bit5	R	程序压栈溢出标志位 0: 程序压栈未溢出 1: 程序压栈溢出
UF	bit6	R	程序出栈溢出标志位 0: 程序出栈未溢出 1: 程序出栈溢出
-	bit7	-	-

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位和复位指令会将其清零, 其他复位不影响该两位标志位。

寄存器名称	A 寄存器 (AREG)		
地址	FF85 _H		
复位值	xxxx xxxx		
A<7:0>	bit7-0	R/W	A 寄存器<7:0>

寄存器名称	程序计数器<7:0> (PCRL)		
地址	FF8B _H		
复位值	0000 0000		
PCRL<7:0>	bit7-0	R/W	程序计数器低 8 位

寄存器名称	程序计数器<15:8> (PCRH)		
地址	FF8C _H		
复位值	0000 0000		
PCRH<1:0>	bit1-0	R/W	程序计数器高 2 位
-	Bit7-2	-	-

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

程序存储器为 1008 Words OTP，地址范围 000H~3EFH。

寻址超出地址范围就会导致循环。

复位向量位于 000_H，中断向量入口地址位于 008_H。

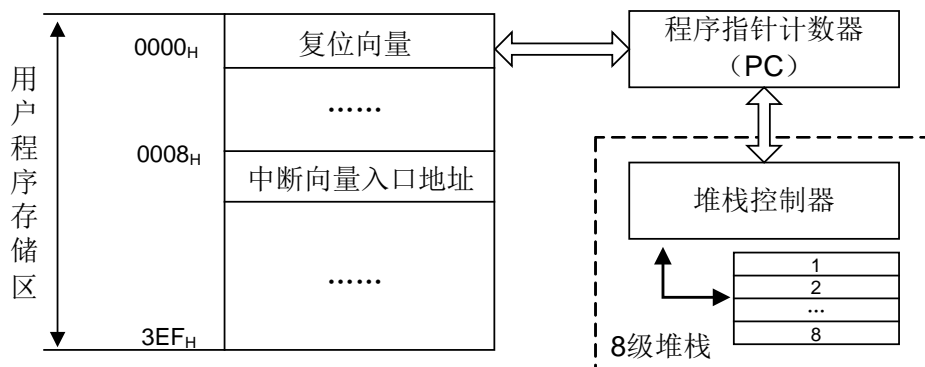


图 3-1 HR7P159 程序区地址映射和堆栈示意图

10 位程序计数器 PC<9:0>。本芯片最大可寻址 1008 Words 程序存储空间 000H ~ 3EFH，超出地址范围会导致 PC 循环（又从 000H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 2 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<9:8>=PCRH<1:0>，因此，修改 PC 时，应先修改 PCRH<1:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<9:8>=PCRH<1:0>。
3. 执行 CALL, GOTO 指令时，PC<9:0>为指令中 11 位立即数的低 10 位（操作数）。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<9:0>被修改为该 16 位立即数的值的低 10 位；同时 PCRH<1:0>被修改为 I<9:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<9:0> 被修改为该 16 位立即数的值低 10 位，同时 PCRH 修改为 I<9:8>的值。
6. 执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数替换（程序存储器的大小只有 1008 Words，因此 PCRH<7:3>被固定为全零，执行 PAGE 指令后 PC 值不受影响）。
7. 执行其他指令时，PC 值自动加 1。

3.1.2 程序堆栈

芯片内有 8 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作，即程序堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

3.1.3 程序存储器查表操作

3.1.3.1 概述

程序存储器查表操作只支持查表读操作。

查表读操作通过查表读指令将 FRA（FRAH，FRAL）所指向的程序存储器地址中的一个字（Word）读入 ROMD（ROMDH，ROMDL）中。

3.1.3.2 操作例程

应用例程 1：程序存储器查表读。

```
MOVI    0x05          ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0X01
MOVA    FRAH
TBR
MOV      ROMDH, 0
... ..
MOV      ROMDL, 0
... ..
```

3.1.4 特殊功能寄存器

寄存器名称	程序存储器查表地址寄存器<7:0>（FRAL）		
地址	FF87 _H		
复位值	XXXX XXXX		
FRAL<7:0>	bit7-0	R/W	程序存储器查表地址低 8 位

寄存器名称	程序存储器查表地址寄存器<15:8>（FRAH）		
地址	FF88 _H		
复位值	XXXX XXXX		
FRAH<7:0>	bit7-0	R/W	程序存储器查表地址高 8 位

寄存器名称	程序存储器查表数据寄存器<7:0>（ROMDL）		
地址	FF89 _H		
复位值	XXXX XXXX		
ROMDL<7:0>	bit7-0	R/W	程序存储器查表数据低 8 位

寄存器名称	程序存储器查表数据寄存器<15:8> (ROMDH)		
地址	FF8A _H		
复位值	XXXX XXXX		
ROMDH<7:0>	bit7-0	R/W	程序存储器查表数据高 8 位

3.2 数据存储器

3.2.1 概述

本芯片的数据存储器由 2 部分组成，通用数据存储器 GPR 和特殊功能寄存器 SFR。

GPR 只有 1 个存储体组，地址范围 0000_H~007F_H。

SFR 支持 128 个特殊寄存器，地址范围 FF80_H~FFFF_H。

数据存储器支持 2 种寻址方式：直接寻址和间接寻址。



图 3-2 数据区地址映射示意图

3.2.2 寻址方式

3.2.2.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 寻址。当指令中的 8 位地址信息 R<7:0>小于 80_H时，直接寻址 GPR 映射区。当 R<7:0>大于或等于 80_H时，直接寻址 SFR 映射区。

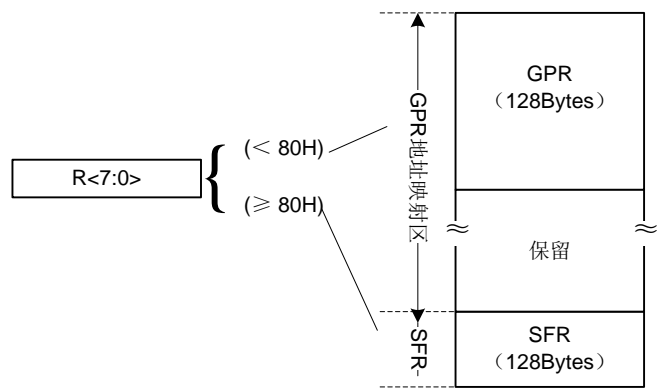


图 3-3 普通直接寻址示意图

3.2.2.2 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 $0000_H \sim FFFF_H$ 。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 $FF80_H$ 。因此，这个寄存器也是可以被间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 $00H$ ，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围 $-128 \sim 127$ 。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

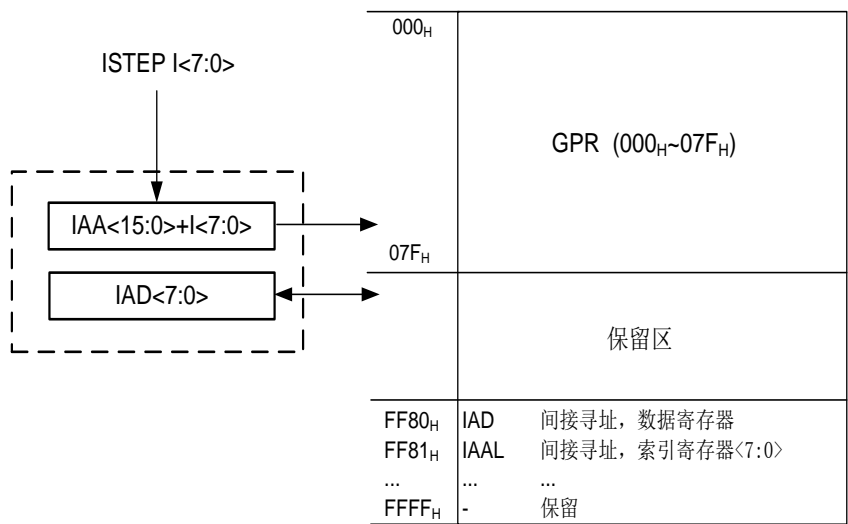


图 3-4 间接寻址示意图

应用例程：采用间接寻址将（020_H ~ 02F_H）的寄存器清零。

```
.....  
CLR    IAAH  
MOVI   0X20      ; 对指针初始化  
MOVA   IAAL      ; IAA 指向 RAM  
NEXT1:  
CLR    IAD       ; 清零 IAD 寄存器  
ISTEP  0X01      ; 指针 IAA 内容加 1  
JBS    IAAL, 4    ;  
GOTO   NEXT1     ; 未完成，循环到下一个单元清零  
CONTINUE: ..... ; 已经完成，继续执行后面的程序  
.....
```

3.2.3 特殊功能寄存器地址分配表

地址	寄存器名称	功能说明	备注
FF80 _H	IAD	间接寻址，数据寄存器	内核/存储器 控制区
FF81 _H	IAAL	间接寻址，索引寄存器<7:0>	
FF82 _H	IAAH	间接寻址，索引寄存器<15:8>	
FF83 _H	-	-	
FF84 _H	PSW	程序状态字寄存器	
FF85 _H	AREG	A 寄存器	
FF86 _H	-	-	
FF87 _H	FRAL	程序存储器查表地址寄存器<7:0>	
FF88 _H	FRAH	程序存储器查表地址寄存器<15:8>	
FF89 _H	ROMDL	程序存储器查表数据寄存器<7:0>	
FF8A _H	ROMDH	程序存储器查表数据寄存器<15:8>	
FF8B _H	PCRL	程序计数器<7:0>	
FF8C _H	PCRH	程序计数器<15:8>	
FF8D _H	-	-	
FF8E _H	PA	PA 端口电平状态寄存器	I/O 控制区
FF8F _H	PAT	PA 端口输入输出控制寄存器	
FF90 _H	PB	PB 端口电平状态寄存器	
FF91 _H	PBT	PB 端口输入输出控制寄存器	
FF92 _H	-	-	
FF93 _H	-	-	
FF94 _H	-	-	
FF95 _H	-	-	
FF96 _H	N_PAU	PA 端口弱上拉控制寄存器	
FF97 _H	N_PBU	PB 端口弱上拉控制寄存器	
FF98 _H	-	-	
FF99 _H	PALC	PA 端口驱动能力控制寄存器	
FF9A _H	PBLC	PB 端口驱动能力控制寄存器	
FF9B _H	-	-	
FF9C _H	-	-	
FF9D _H	INTF0	中断标志寄存器 0	中断控制区
FF9E _H	INTE0	中断使能寄存器 0	
FF9F _H	INTC0	中断控制寄存器 0	
FFA0 _H	INTG	中断全局寄存器	
FFA1 _H	LVDC	低电压检测寄存器	
FFA2 _H	-	-	
FFA3 _H	-	-	
FFA4 _H	-	-	

[续]

地址	寄存器名称	功能说明	备注
FFA5 _H	OSCCAL	内部 16MHz 时钟校准寄存器	特殊功能控制区
FFA6 _H	WDTCAL	内部 32KHz 时钟校准寄存器	
FFA7 _H	PWRC	电源状态控制寄存器	
FFA8 _H	OSCC	时钟控制寄存器	
FFA9 _H	WKDC	唤醒延时控制寄存器	
FFAA _H	OSCP	时钟控制写保护寄存器	
FFAB _H	WDTC	WDT 控制寄存器	
FFAC _H	PWEN	功耗控制寄存器	
FFAD _H	-	-	
FFAE _H	-	-	
FFAF _H	-	-	
FFB0 _H	T8N	T8N 计数器	外设控制区
FFB1 _H	T8NC	T8N 控制寄存器	
FFB2 _H	T8P1	T8P1 计数器	
FFB3 _H	T8P1C	T8P1 控制寄存器	
FFB4 _H	T8P1P	T8P1 周期寄存器	
FFB5 _H	T8P1RL	T8P1 精度寄存器	
FFB6 _H	T8P1RH	T8P1 精度缓冲寄存器	
FFB7 _H	T8P1OC	T8P1 输出控制寄存器	
FFB8 _H	T8P2	T8P2 计数器	
FFB9 _H	T8P2C	T8P2 控制寄存器	
FFBA _H	T8P2P	T8P2 周期寄存器	
FFBB _H	T8P2RL	T8P2 精度寄存器	
FFBC _H	T8P2RH	T8P2 精度缓冲寄存器	
FFBD _H	T8P2OC	T8P2 输出控制寄存器	
FFBE _H	-	-	
~FFFF _H	-	-	

3.2.4 特殊功能寄存器

寄存器名称	间接寻址数据寄存器 (IAD)		
地址	FF80 _H		
复位值	0000 0000		
IAD<7:0>	bit7-0	R/W	间接寻址数据

寄存器名称	间接寻址索引寄存器<7:0> (IAAL)		
地址	FF81 _H		
复位值	0000 0000		
IAAL<7:0>	bit7-0	R/W	间接寻址索引低 8 位

寄存器名称	间接寻址索引寄存器<15:8> (IAAH)		
地址	FF82 _H		
复位值	0000 0000		
IAAH<7:0>	bit7-0	R/W	间接寻址索引高 8 位

第 4 章 输入/输出端口

4.1 概述

HR7P159 支持一个输入端口和 7 个（HR7P159P2R）/11 个（HR7P159P2D/S）I/O 端口。

一个输入端口 PA1 是 TTL 输入，不受特殊功能寄存器 PAT 控制。其它所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》章节。

4.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	C	A	A	-	-	-	-	-
PB	A	A	A	A	A	A	A	A	-

表 4-1 I/O 端口结构信息表

注 1：A 表示端口结构图 A，C 表示端口结构图 C。两种结构图如下。

注 2：PA1 端口对应的 PAT 控制位始终为 1，即 PA1 只能作输入用。

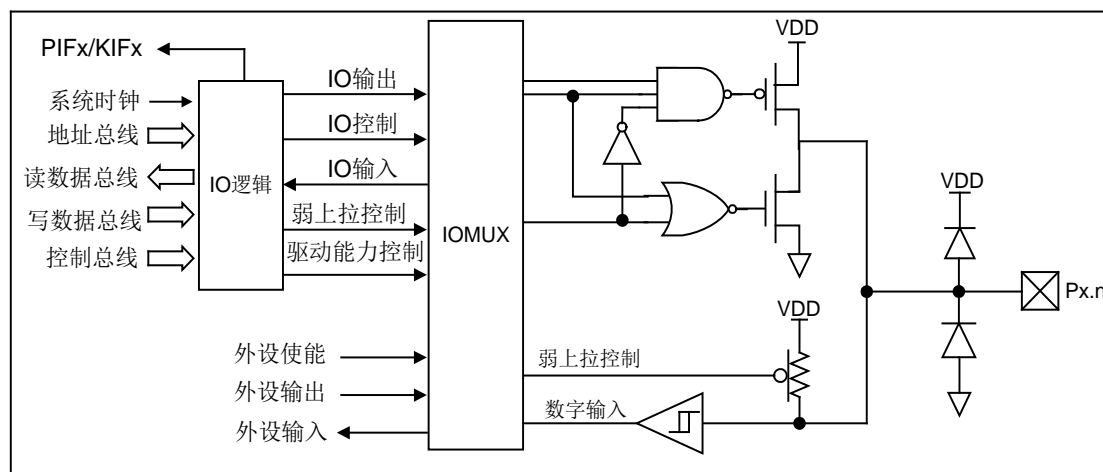


图 4-1 输入/输出端口结构图 A

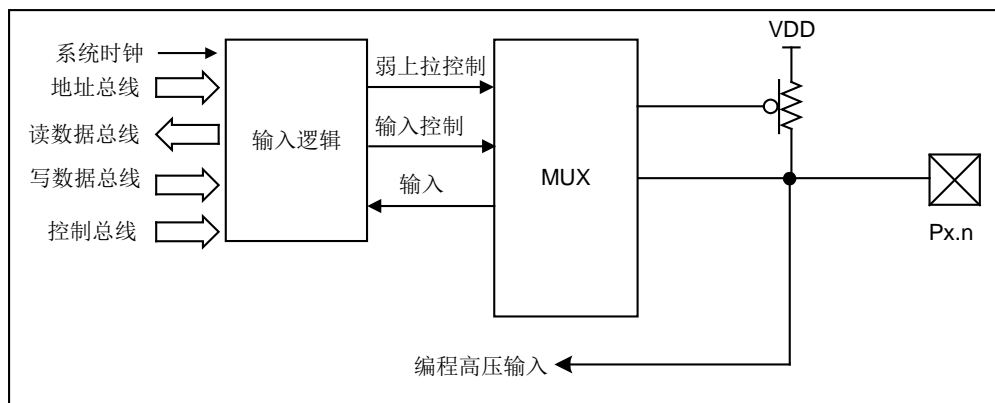


图 4-2 输入端口结构图 C

4.3 I/O端口弱上拉

PA、PB 端口可软件独立配置弱上拉。只有 PA1 端口默认弱上拉使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	支持	支持	支持	支持

表 4-2 I/O 端口弱上拉

4.4 I/O端口驱动能力

除 PA1 外，其它 PA、PB 端口可软件独立配置强、弱两种不同的驱动能力。默认为弱驱动能力端口。驱动能力的大小，参考《电气特性》章节。

管脚	0	1	2	3	4	5	6	7
PA	支持	不支持	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	支持	支持	支持	支持

表 4-3 I/O 端口强驱动能力

4.5 外部按键中断（KINT）

外部端口支持 1 组外部按键中断。按键中断支持最多 5 个按键输入端 KIN<4:0>，每个输入端可以由相应的按键屏蔽位 INTC0<4:0>屏蔽。任何其中一个按键中断产生将影响中断标志 KIF。

端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口与锁存器上的最后输入值进行比较，如果不匹配引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务程序中用软件清除该中断标志，操作过程如下：

- 1) 对端口寄存器进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清

除中断标志位，以免误产生中断。

管脚名	端口输入	按键屏蔽	中断使能	中断标志
PA0	KIN0	KMSK0	KIE	KIF
PA1	KIN1	KMSK1		
PA2	KIN2	KMSK2		
PA3	KIN3	KMSK3		
PB1	KIN4	KMSK4		

4.6 外部端口中断（PINT）

外部端口支持一个外部端口中断。端口中断只支持 1 个输入端 PINT0，外部端口中断由相应的 PIE 使能，通过 PEG0（INTC0<5>）选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。此中断能将芯片从睡眠状态唤醒。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PB0	PINT0	PEG0	PINT	PIE	PIF

表 4-4 外部端口中断

4.7 特殊功能寄存器

寄存器名称	PA 端口电平状态寄存器（PA）		
地址	FF8E _H		
复位值	0000 xxxx		
PA<3:0>	bit3-0	R/W	PA 口电平状态 0: 低电平 1: 高电平
-	bit7-4	-	-

寄存器名称	PA 端口输入输出控制寄存器 (PAT)		
地址	FF8F _H		
复位值	0000 1111		
PAT0	bit0	R/W	PA0 口输入输出状态选择位 0: 输出状态 1: 输入状态
PAT1	bit1	R	硬件固定为 1, 该端口只能用作输入
PAT2	bit2	R/W	PA2 口输入输出状态选择位 (复用为外部振荡端口时, 硬件固定为输入状态) 0: 输出状态 1: 输入状态
PAT3	bit3	R/W	PA3 口输入输出状态选择位 (复用为外部振荡端口时, 硬件固定为输入状态) 0: 输出状态 1: 输入状态
-	bit7-4	-	-

寄存器名称	PB 端口电平状态寄存器 (PB)		
地址	FF90 _H		
复位值	xxxx xxxx		
PB<7:0>	bit7-0	R/W	PB 口电平状态 0: 低电平 1: 高电平

寄存器名称	PB 端口输入输出控制寄存器 (PBT)		
地址	FF91 _H		
复位值	1111 1111		
PBT<7:0>	bit7-0	R/W	PB 口输入输出状态选择位 0: 输出状态 1: 输入状态

寄存器名称	PA 端口弱上拉控制寄存器 (N_PAU)		
地址	FF96 _H		
复位值	0000 1101		
N_PAPU<3:0>	bit3-0	R/W	PA 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能
-	bit7-4	-	-

注: PA1 端口弱上拉控制位, 默认使能。

寄存器名称	PB 端口弱上拉控制寄存器 (N_PBU)		
地址	FF97 _H		
复位值	1111 1111		
N_PBPUL<7:0>	bit7-0	R/W	PB 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能

寄存器名称	PA 端口驱动能力控制寄存器 (PALC)		
地址	FF99 _H		
复位值	0000 0000		
PALC0	bit0	R/W	PA0 口驱动能力控制位 0: 较弱驱动能力 1: 较强驱动能力
-	bit1	-	-
PALC2	bit2	R/W	PA2 口驱动能力控制位 0: 较弱驱动能力 1: 较强驱动能力
PALC3	bit3	R/W	PA3 口驱动能力控制位 0: 较弱驱动能力 1: 较强驱动能力
-	bit7-4	-	-

寄存器名称	PB 端口驱动能力控制寄存器 (PBLC)		
地址	FF9A _H		
复位值	0000 0000		
PBLC<7:0>	bit7-0	R/W	PB 口驱动能力控制位 0: 较弱驱动能力 1: 较强驱动能力

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8N)、2 组 PWM 时基定时器 (T8P1/T8P2)。

5.1.1 8 位定时器/计数器 (T8N)

5.1.1.1 概述

- ◆ 8 位定时器/计数器模块;
- ◆ 支持定时器模式 (时钟源为系统时钟二分频, $F_{osc}/2$);
- ◆ 支持计数器模式 (时钟源为外部计数时钟, T8NCKI);
- ◆ 支持 1 组 8 位可配置预分频器 (T8NPRS);
- ◆ 支持 1 组 8 位计数器 (T8N);
- ◆ 支持 1 组 8 位控制寄存器 (T8NC);
- ◆ 支持溢出中断标志 (T8NIF);
- ◆ T8N 在低功耗模式下不工作。

5.1.1.2 内部结构图

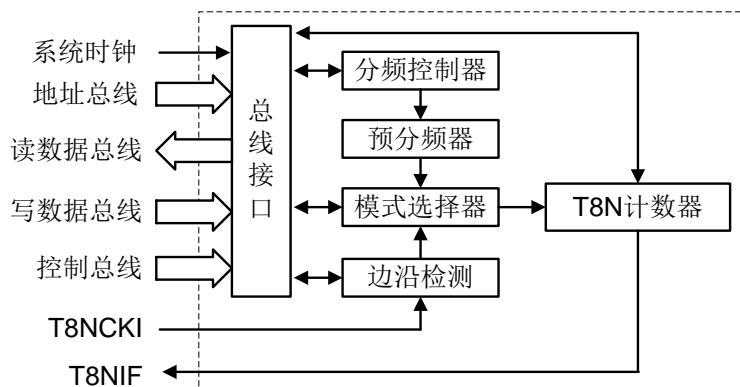


图 5-1 T8N 内部结构图

5.1.1.3 工作模式

工作模式	T8NM
定时器模式	0
同步计数器模式	1

表 5-1 T8N 工作模式配置表

注: T8N 工作模式配置

1. 当 T8N 配置为定时器模式时, 若不使用预分频器, T8N 计数器的时钟为系统时钟 2 分频($F_{osc}/2$); 若使用预分频器, T8N 计数器的时钟为 $F_{osc}/2$ 分频后的输出信号频率。
2. 当 T8N 配置为计数器模式时, T8N 计数器的时钟为外部输入时钟 T8NCKI, 内部相位时钟 p2 将对 T8NCKI 进行时钟同步。所以 T8NCKI 保持高电平或者低电平的时间, 至少为一个机器周期。通过 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。外部计数模式同样支持预分频器。另外, T8NCKI 所在 IO 端口必须配置为输入状态。

5.1.1.4 预分频器

T8N 定时器频率	T8NPRE	T8NPRS<2:0>
T8N_CLK	0	-
T8N_CLK /2	1	000
T8N_CLK /4	1	001
T8N_CLK /8	1	010
T8N_CLK /16	1	011
T8N_CLK /32	1	100
T8N_CLK /64	1	101
T8N_CLK /128	1	110
T8N_CLK /256	1	111

表 5-2 T8N 预分频器配置表

注 1: 当 T8NPRE=1 时, 使能 T8N 预分频器。此时, 任何对 T8N 计数器的写操作都会清零预分频器, 但不影响预分频器的分频比, 预分频器的计数值无法读写。

注 2: T8N_CLK, 在定时器模式下, 为系统时钟 2 分频, 在计数器模式下, 为外部计数时钟 T8NCKI。

5.1.1.5 中断标志

T8N 提供了一个溢出中断标志。当 T8N 计数器递增计数, 计数值由 FFH 变为 00H 时, T8N 计数器发生溢出, T8NIF 位置 1, 如果 T8NIE 位和全局中断 GIE 位使能, 则产生 T8N 溢出中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8NIF 位必须软件清零。在 CPU 进入休眠模式后, T8N 模块不工作, 因此不产生中断。

注: T8NIE 和 T8NIF 位请参考《中断处理》章节中的中断使能寄存器和中断标志寄存器。

5.1.1.6 特殊功能寄存器

寄存器名称	T8N 计数器 (T8N)		
地址	FFB0 _H		
复位值	0000 0000		
T8N<7:0>	bit7-0	R/W	T8N 计数器 00 H ~ FF H

寄存器名称	T8N 控制寄存器 (T8NC)		
地址	FFB1 _H		
复位值	0000 0000		
T8NPRS<2:0>	bit2-0	R/W	预分频器分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
T8NPRE	bit3	R/W	预分频器使能位 0: 禁止 1: 使能
T8NEG	bit4	R/W	T8NCKI 计数边沿选择位 0: T8NCKI 上升沿计数 1: T8NCKI 下降沿计数
T8NM	bit5	R/W	T8N 模式选择位 0: 定时器模式 (时钟源为系统时钟二分频, Fosc/2) 1: 同步计数器模式 (时钟源为 T8NCKI)
-	bit6	R/W	-
T8NEN	bit7	R/W	T8N 使能位 0: 关闭 T8N 模块 1: 使能 T8N 模块

5.1.2 两路 8 位 PWM 时基定时器 (T8P1/T8P2)

5.1.2.1 概述

- T8Px 支持 2 种工作模式：定时器模式，PWM 输出模式
- 时钟源为系统时钟 2 分频 ($F_{osc}/2$)
- T8Px 支持 2 个独立的 PWM 输出端口，并且 PWM 输出端口可配置
- T8Px 支持一个可配置预分频器和一个可配置后分频器
- T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH)和周期寄存器(T8PxP)
- T8Px 计数器的初值可任意配置
- T8Px 支持中断产生 T8PxIF（不同工作模式作用不同，必须软件清零）
- T8Px 在低功耗模式下不工作

5.1.2.2 内部结构图

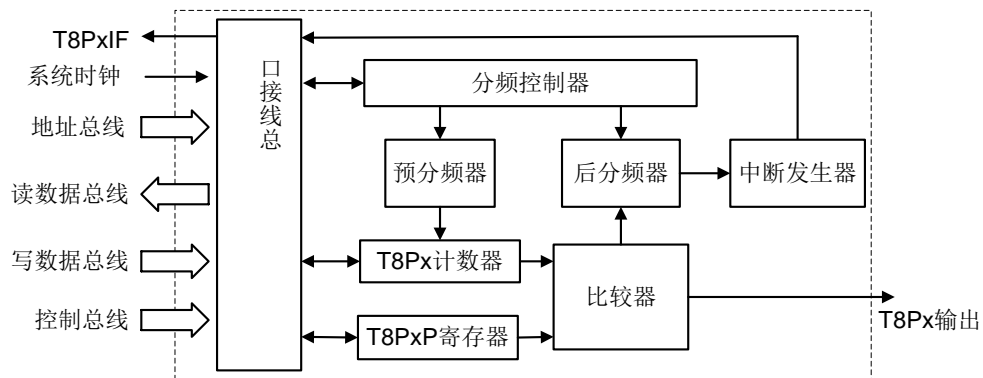


图 5-2 T8P1/T8P2 内部结构图

5.1.2.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 5-3 T8P1/T8P2 后分频器配置表

T8Px 定时器时钟频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 5-4 T8P1/T8P2 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

5.1.2.4 工作模式

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 5-5 T8Px 工作模式配置表

5.1.2.5 定时器模式

T8PxM=0 时，T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 Fosc/2，可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PxIF 置 1，该中断标志需要软件清零。当

T8PxIF 置 1 时，如果 T8PxIE 使能，且全局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 停止工作。

5.1.2.6 PWM输出模式

T8PxM=1 时，T8Px 为 PWM 输出模式，相应的 PWM 输出端口需软件设置为输出状态。

使能 PWM 输出模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等，此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。起始周期内 PWM 输出始终为 1。

PWM 周期

起始周期完成后，T8Px 从零开始重新递增计数，并保持 PWM 输出为 1；当 T8Px 与 T8PxRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时，PWM 输出恢复为 1，同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数，循环 PWM 周期。在 PWM 输出模式下，T8PxRH 寄存器只可读。

特别的，若精度缓冲寄存器 T8PxRH 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若精度缓冲寄存器 T8PxRH 的值大于 T8PxP，则当前 PWM 周期内 PWM 输出始终为 1。

PWM 输出模式下，计数时钟源为系统时钟二分频 Fosc/2，并支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见《T8P1/T8P2 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

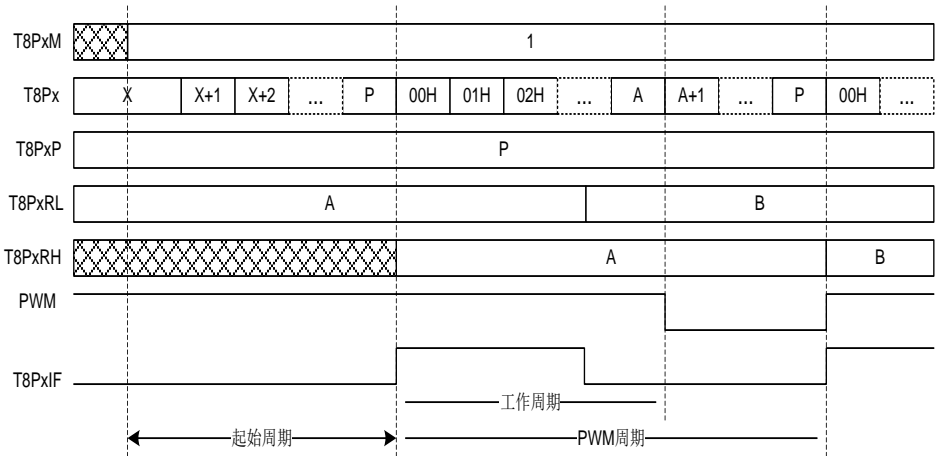


图 5-3 PWM 输出模式示意图

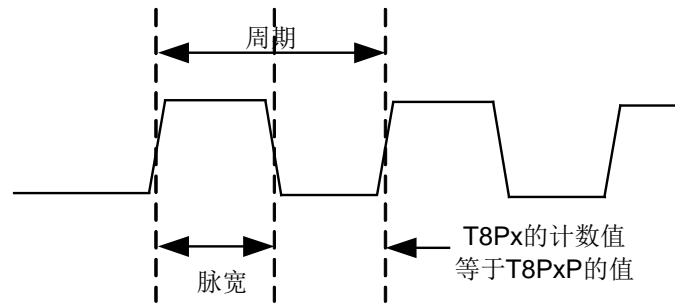


图 5-4 PWM 输出示意图

PWM 计算公式如下：

$$\text{PWM 周期} = [(T8PxP)+1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T8PxRL \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc} / 2}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$, F_{ckps} 为 T8Px 预分频比

5.1.2.7 特殊功能寄存器

寄存器名称	T8Px 计数器 (T8P1/T8P2)		
地址	T8P1: FFB2 _H T8P2: FFB8 _H		
复位值	0000 0000		
T8Px<7:0>	bit7-0	R/W	T8Px 计数器 00 H ~ FF H

寄存器名称	T8PxP 周期寄存器 (T8P1P/T8P2P)		
地址	T8P1P: FFB4 _H T8P2P: FFBA _H		
复位值	1111 1111		
T8PxPL<7:0>	bit7-0	R/W	T8Px 周期寄存器 00 H ~ FF H

寄存器名称	T8PxC 控制寄存器 (T8P1C/T8P2C)		
地址	T8P1C: FFB3 _H T8P2C: FFB9 _H		
复位值	0000 0000		
T8PxPRS<1:0>	bit1-0	R/W	T8Px 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PxE	bit2	R/W	T8Px 使能位 0: 关闭 T8Px 1: 使能 T8Px
T8PxPOS<3:0>	bit6-3	R/W	T8Px 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
T8PxM	bit7	R/W	T8Px 工作模式选择位 0: 定时器模式 1: PWM 输出模式

寄存器名称	T8Px 精度寄存器 (T8P1RL/T8P2RL)		
地址	T8P1RL: FFB5 _H T8P2RL: FFBB _H		
复位值	0000 0000		
T8PxRL<7:0>	bit7-0	R/W	8 位精度寄存器 00 _H ~ FF _H

寄存器名称	T8Px 精度缓冲寄存器 (T8P1RH/T8P2RH)		
地址	T8P1RH: FFB6 _H T8P2RH: FFBC _H		
复位值	0000 0000		
T8PxRH<7:0>	bit7-0	R	8 位精度缓冲寄存器 00 _H ~ FF _H

注：在 PWM 输出模式下，此寄存器不可写；当 PWM 功能关闭时，此寄存器可写。

寄存器名称	T8P1 输出控制寄存器 (T8P1OC)		
地址	T8P1OC: FFB7 _H		
复位值	0000 0000		
T8P1EN<1:0>	bit1-0	R/W	PWM1 输出管脚选择位 00: PA<0>输出 PWM1 01: PB<1>输出 PWM1 10: PB<3>输出 PWM1 11: PB<4>输出 PWM1
-	bit7-2	-	-

寄存器名称	T8P2 输出控制寄存器 (T8P2OC)		
地址	T8P2OC: FFBD _H		
复位值	0000 0000		
T8P2EN<1:0>	bit1-0	R/W	PWM2 输出管脚选择位 00: PB<0>输出 PWM2 01: PB<2>输出 PWM2 10: PA<0>输出 PWM2 11 : 未用
-	bit7-2	-	-

注：PWM 输出的端口，必须软件设置其方向寄存器为输出状态。

第 6 章 特殊功能及操作特性

6.1 系统时钟与振荡器

6.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 3 种时钟模式，分别是 HS、XT、LP 振荡器；另一种是内部时钟源，支持 2 种时钟模式，分别是内部高速 INTOSCH 16MHz 和低速 INTOSCL 32KHz RC 时钟。

系统时钟源可通过芯片配置字 $OSCS<2:0>$ 位和特殊功能寄存器 $OSCC$ 决定。

高速时钟：外部 HS/XT 振荡时钟和内部 INTOSCH 16MHz 时钟

低速时钟：内部 INTOSCL 32KHz 时钟和外部 LP 振荡时钟

为了降低功耗，本芯片支持高、低速时钟切换。

6.1.2 时钟源

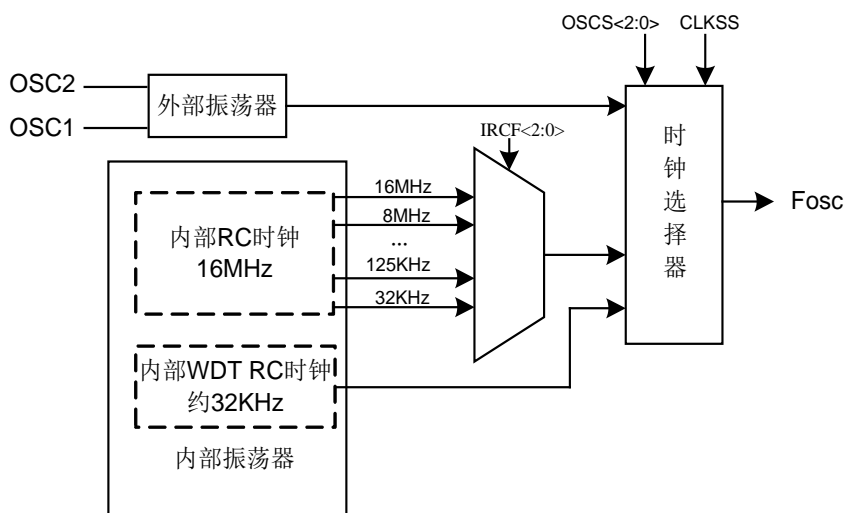


图 6-1 系统时钟切换图

6.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）。

◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

HS/XT 晶振起振稳定时间为 512 个系统时钟。LP 晶振设计为低功耗振荡，LP 起振稳定时间和外部晶体结构有关系，通常在一秒左右。

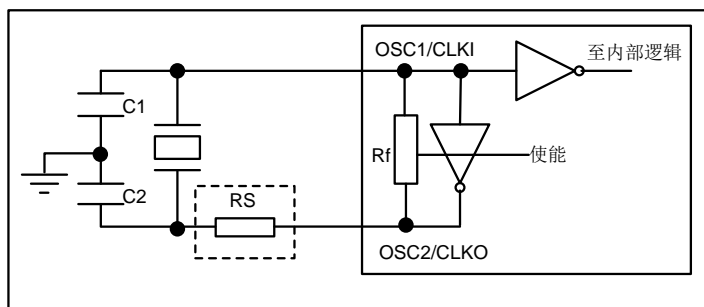


图 6-2 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

6.1.2.2 内部时钟

本芯片包括两个内部 RC 时钟分别为 INTOSCH 16MHz 和 INTOSCL 32KHz。INTOSCH 16MHz 最低可分频至 32KHz，并且内部 INTOSCH 16MHz 和 INTOSCL 32KHz 时钟在芯片出厂前，已经在常温条件下校准，校准精度分别为 ±2% 和 ±5%。芯片上电时，会自动加载校准值，客户不需要对校准寄存器 OSCCAL 和 WDTCLAL 进行任何操作。

6.1.3 系统时钟切换

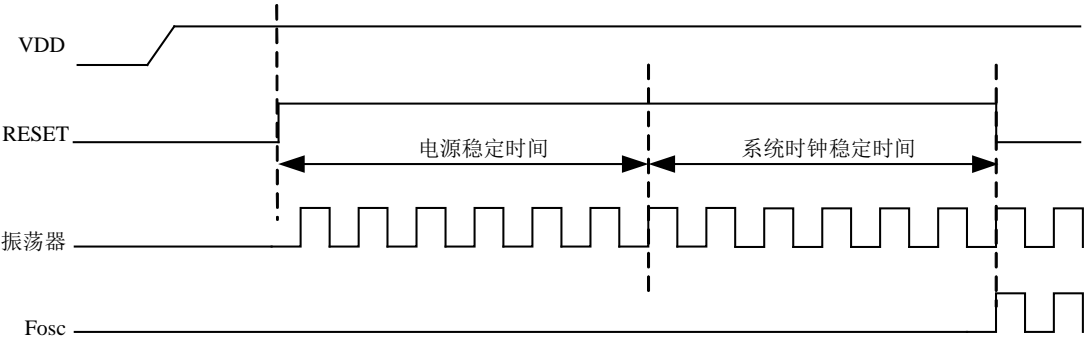
系统可软件设置寄存器位 CLKSS（OSCC<7>），选择高、低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持三种时钟切换：

- ◇ 内部高速 INTOSCH 16MHz 时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 INTOSCH 16MHz 模式
 - 设置寄存器位 CLKSS，进行高、低速时钟切换

- ◇ 外部高速 HS/XT 振荡时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 HS 或 XT 模式
 - 设置寄存器位 CLKSS，进行高、低速时钟切换
- ◇ 外部低速 LP 振荡时钟与内部高速 INTOSCH 16MHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 LP 模式
 - 设置寄存器位 CLKSS，进行高、低速时钟切换

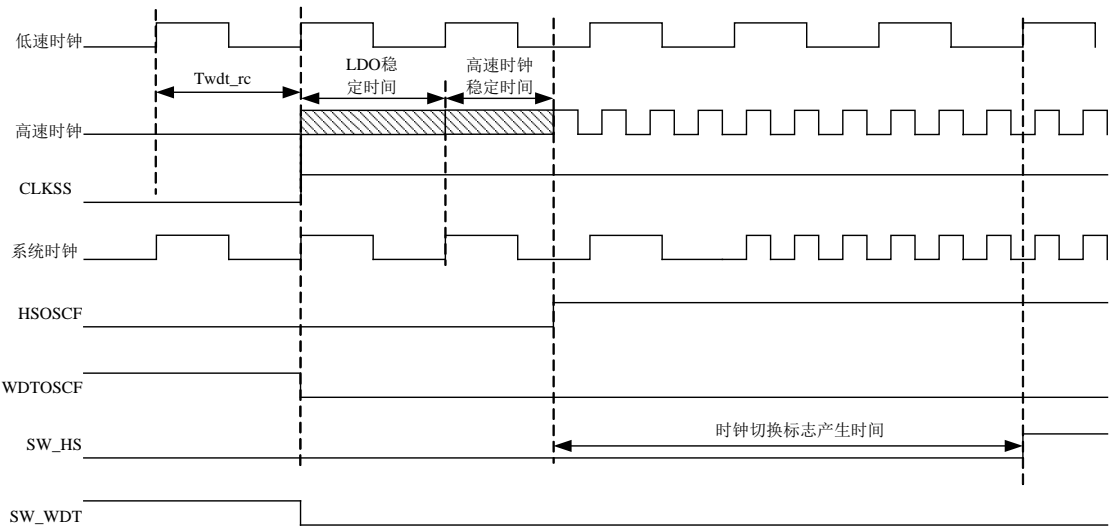
6.1.3.1 系统上电时序



注1、上电电源稳定时间为72ms，可以通过PWRTEB配置位进行屏蔽；
注2、当OSCS<2:0>=000时，LP系统时钟稳定时间约1S左右；
注2、当OSCS<2:0>=010,100,110,111时，系统时钟稳定时间为512个Tosc

图 6-2 系统上电时序图

6.1.3.2 系统时钟切换时序



注1、LDO稳定时间由PWRC寄存器的VRST位控制
注2、高速时钟稳定时间：INTOSCH 16MHz为15个高速时钟周期，HS/XT为1024个高速时钟周期
注3、时钟切换标志产生时间小于3个Twdt_rc

图 6-3 INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟

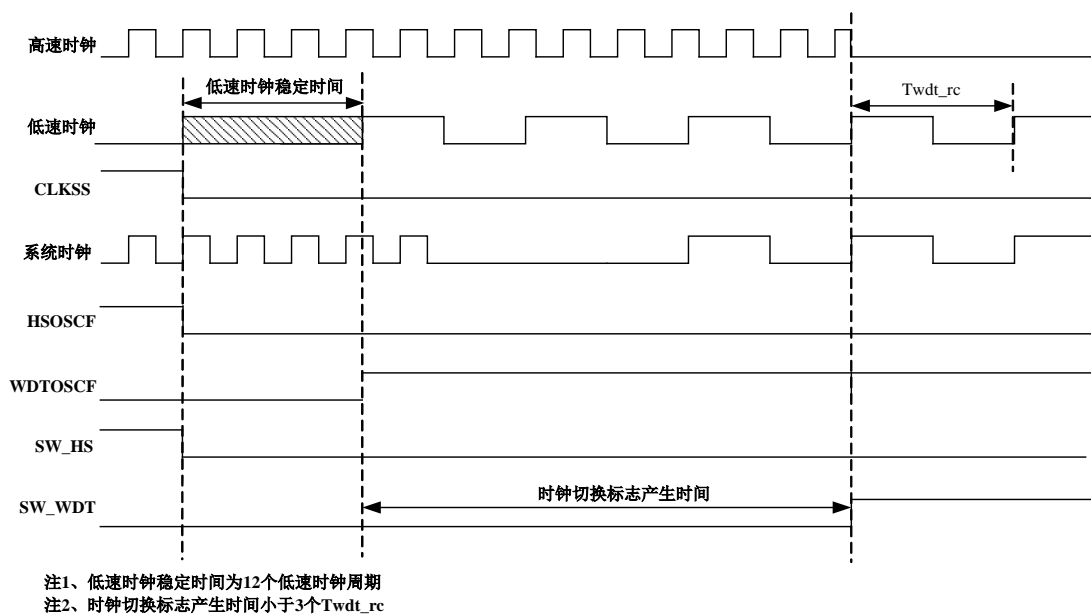


图 6-4 INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟

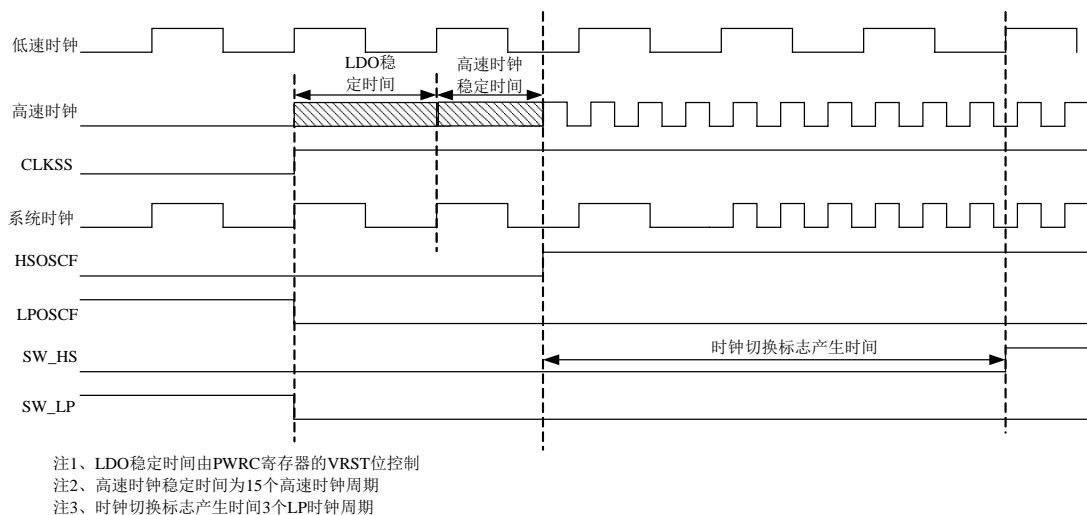


图 6-5 低速 LP 时钟切换到 INTOSCH 时钟

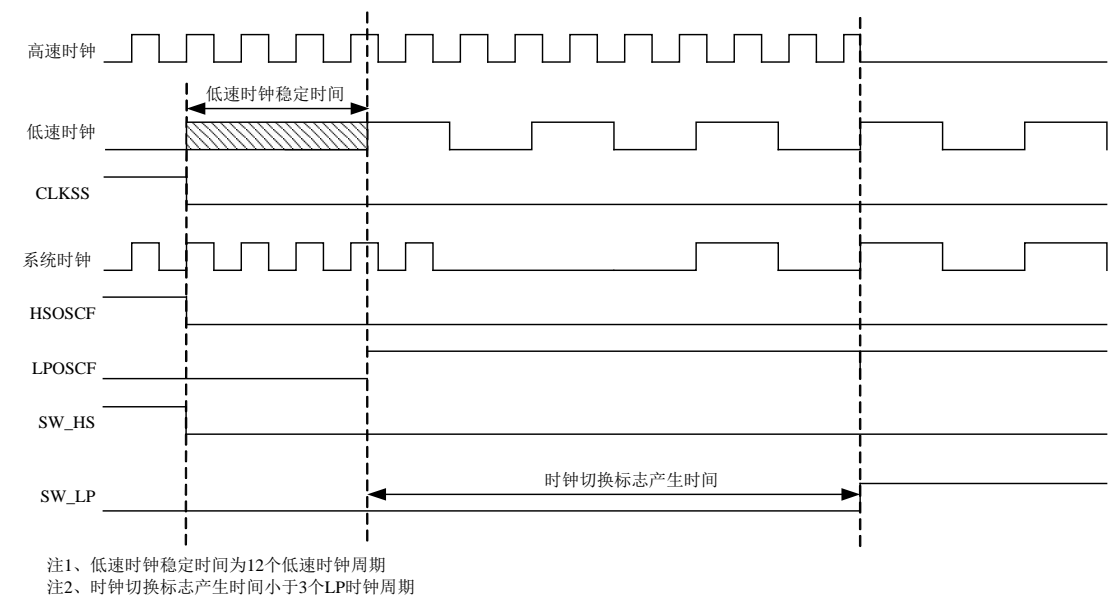


图 6-6 INTOSCH 时钟切换到低速 LP 时钟

6.1.4 特殊功能寄存器

寄存器名称	内部 16MHz 时钟校准寄存器(OSCCAL)		
地址	FFA5 _H		
复位值	0000 0000		
OSCCAL<7:0>	bit7-0	R/W	内部 16MHz 时钟频率调节位

寄存器名称	内部 32KHz 时钟校准寄存器(WDTCAL)		
地址	FFA6 _H		
复位值	0000 0000		
WDTCAL<7:0>	bit7-0	R/W	内部 32KHz 时钟频率调节位

寄存器名称	时钟控制寄存器 (OSCC)		
地址	FFA8 _H		
复位值	0110 0100		
LPOSCF	bit0	R	外部 LP 晶振稳定标志位 0: 未稳定 1: 稳定
HSOSCF	bit1	R	高速时钟稳定标志位 0: 未稳定 1: 稳定
WDTOSCF	bit2	R	内部 32KHz 稳定标志位 0: 未稳定 1: 稳定
-	bit3	-	-
IRCF<2:0>	bit6-4	R/W	内部系统时钟频率选择位 111: 16MHz 110: 8MHz 101: 4MHz 100: 2MHz 011: 1MHz 010: 500KHz 001: 125KHz 000: 32KHz
CLKSS	bit7	R/W	低速时钟与高速时钟切换选择位 当 OSCS<2:0>=000 时: 0: 外部低速 LP 32KHz 时钟源 1: 内部高速 INTOSCH 16MHz 时钟源 当 OSCS<2:0>=010/100/110/111 时: 0: 内部低速 INTOSCL 32KHz 时钟源 1: 内部高速 INTOSCH 16MHz 或者外部高速 HS/XT 时钟源

寄存器名称	时钟控制写保护寄存器 (OSCP)		
地址	FFAA _H		
复位值	1111 1111		
OSCP<7:0>	bit7-0	R/W	OSCP 为 55h 时, 可以改变 IRCF 和 CLKSS 位。当 IRCF 和 CLKSS 被写时, OSCP 自动复位为 FFh。OSCP 不为 55h 时, 对 IRCF 和 CLKSS 的写操作将被忽略。

寄存器名称	功耗控制寄存器 (PWEN)		
地址	FFAC _H		
复位值	0100 0011		
SREN	bit0	R/W	低电压检测复位软件使能位 (此位需设置为 1)
RCEN	bit1	R/W	WDT 内部 RC 时钟使能位 (此位建议设置为 1) 当 CLKSS=1 时: 0: 关闭 WDT 内部 RC 时钟 1: 使能 WDT 内部 RC 时钟 当 CLKSS=0 时: RCEN 固定为 1, 不可写
-	bit3-2	-	-
SW_LP	bit4	R	切换到外部低速 LP 晶振时钟标志位 0: 切换未完成 1: 切换完成
SW_HS	bit5	R	切换到 HS/XT/INTOSCH 16MHz 高速时钟标志位 0: 切换未完成 1: 切换完成
SW_WDT	bit6	R	切换到内部低速 32KHz 时钟标志位 0: 切换未完成 1: 切换完成
-	bit7	-	-

注 1: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

6.2 看门狗定时器

6.2.1 概述

当 WDT 内部 RC 时钟使能位 RCEN=1 时,如果配置字看门狗使能位 WDTEN=1,看门狗使能;如果 WDTEN=0,看门狗禁止。

当 WDT 内部 RC 时钟使能位 RCEN=0 时,看门狗禁止。

当看门狗超时溢出时,芯片复位或者唤醒 IDLE 模式。使用 CWDT 指令可将 WDT 计数器清零。WDT 支持一个预分频器,对 WDT 输入时钟进行预分频,再将分频后的时钟信号作为 WDT 定时器的计数时钟。在预分频器分频比为 1:2 时,WDT 使用内部 WDT 时钟进行计数,常温下时钟频率约为 32KHz,计数溢出时间约为 16ms。当禁止预分频器时,WDT 的计数溢出时间约为 8ms。

6.2.2 内部结构图

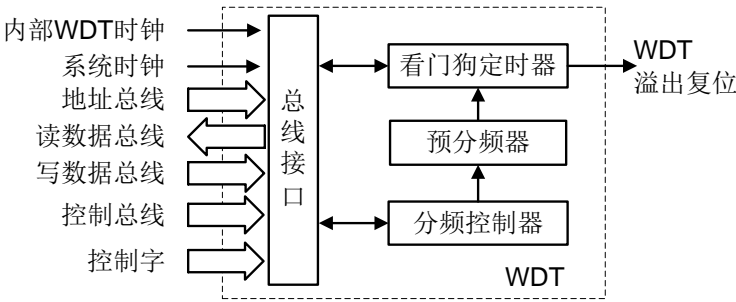


图 6-7 看门狗定时器内部结构图

6.2.3 特殊功能寄存器

寄存器名称	WDT 控制寄存器 (WDTC)		
地址	FFAB _H		
复位值	0001 0111		
WDTPRS<3:0>	bit3-0	R/W	WDT 预分频器分频比选择位 0000: 1:2 0001: 1:4 0010: 1:8 0011: 1:16 0100: 1:32 0101: 1:64 0110: 1:128 0111: 1:256 (默认) 1000: 1:512 1001: 1:1024 1010: 1:2048 1011: 1:4096 1100: 1:8192

			1101: 1:16384 1110: 1:32768 1111: 1:65536
WDTPRE	bit4	R/W	WDT 预分频器使能位 0: 禁止 1: 使能
-	bit7-5	-	-

6.3 复位模块

6.3.1 概述

本芯片有五种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

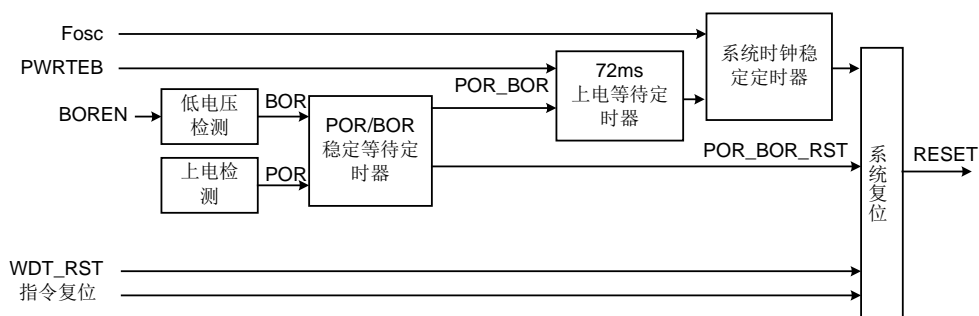


图 6-8 芯片复位原理图

6.3.2 复位时序图

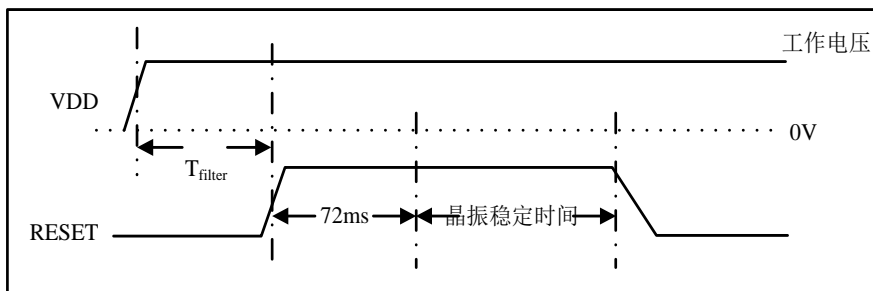


图 6-9 上电复位时序示意图

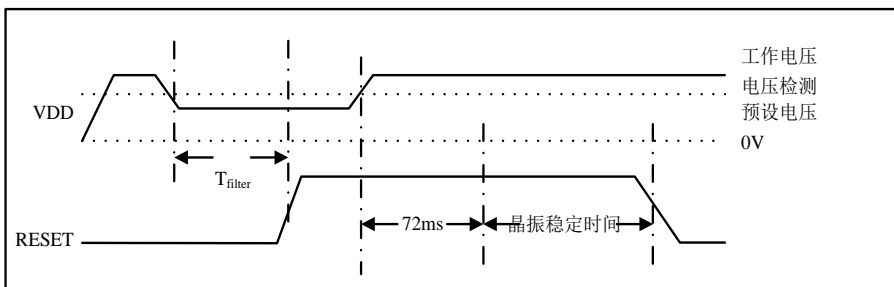


图 6-10 低电压复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSC 16MHz 模式时，晶振稳定时间为 512XTosc；

当配置为 LP 模式时，晶振稳定时间大约为 1S 左右。

6.3.3 低电压复位配置

BORVS<1:0>	低电压检测配置
11	低于 3.4V 时芯片复位
10	低于 2.7V 时芯片复位
01	低于 2.2V 时芯片复位
00	低于 2.0V 时芯片复位

表 6-2 低电压检测配置表

6.3.4 特殊功能寄存器

寄存器名称	电源状态控制寄存器 (PWRC)		
地址	FFA7 _H		
复位值	0101 110x		
N_BOR	bit0	R/W	低电压复位状态位 0: 低电压复位发生 1: 无低电压复位发生
N_POR	bit1	R/W	上电复位状态位 0: 上电复位发生 1: 无上电复位发生
N_PD	bit2	R	低功耗标志位 0: 执行 IDLE 指令后清零 1: 上电复位或执行 CWDT 指令后置 1
N_TO	bit3	R	WDT 溢出标志位 0: WDT 计数溢出时被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
N_RSTI	bit4	R/W	复位指令标志位 0: 执行复位指令 1: 未执行复位指令
VRST<1:0>	bit6-5	R/W	LDO 稳定时间控制寄存器 00, 01: 保留未用 10: LDO 稳定时间为 64 个内部 32KHz 时钟周期 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
LPM	bit7	R/W	休眠模式选择位 0: IDLE0 模式 1: IDLE1 模式

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

6.4 中断处理

6.4.1 概述

本芯片支持 7 个中断源。支持两种中断模式，默认中断模式和向量中断模式，通过软件设置寄存器位 INTVEN 选择。

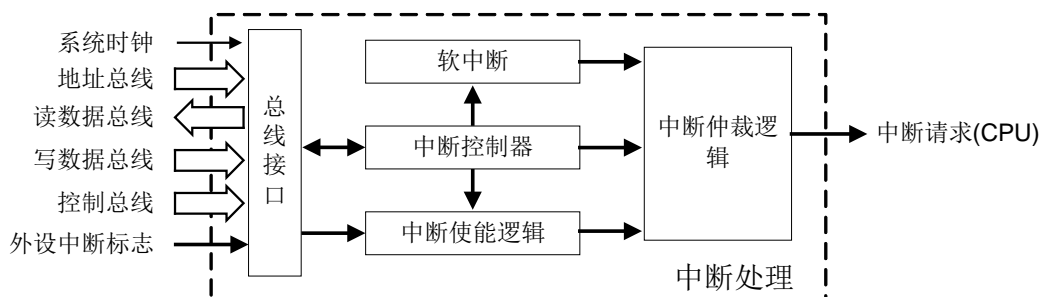


图 6-11 中断控制逻辑

6.4.2 中断模式配置

INTVEN	中断模式
0	默认中断模式
1	向量中断模式

表 6-3 中断处理模式配置表

6.4.3 中断逻辑表

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	-
2	KINT	KIF	KIE	-	GIE	-
3	PINT	PIF	PIE	-	GIE	-
	LVDINT	LVDIF	LVDIE	-	GIE	-
5	T8NINT	T8NIF	T8NIE	-	GIE	-
6	T8P1INT	T8P1IF	T8P1IE	PEIE	GIE	-
7	T8P2INT	T8P2IF	T8P2IE	PEIE	GIE	-

表 6-4 中断逻辑表（默认中断模式）

注：开中断前需清相应的中断标志，从而避免中断的误触发。除只读的中断标志外，中断标志必须通过软件清零。为避免中断的发生与中断清零操作冲突时清零不成功，建议清零操作后进行清零是否成功的软件判断，若不成功则再次清零，直到清零成功为止。或连续执行两次清零操作。

应用例程：中断标志清零程序

.....

BCC INTC0,T8NIF ; 清中断标志
JBC INTC0,T8NIF ; 判断清零是否成功
GOTO \$-2 ; 不成功则再次清零
.....

6.4.4 默认中断模式

当寄存器 INTVEN 值为 0 时, 系统处于默认中断模式, 所有中断向量的入口地址均位于 008_H。用户需通过中断子程序判断各中断源的标志位及使能位区分是由哪个中断源引起的中断, 从而执行相应的中断服务子程序, 此时无软件中断。

6.4.5 向量中断模式

当 INTVEN 位为 1 时, 系统处于向量中断模式。每个中断都有各自的中断向量的入口地址。当中断发生时, 系统自动执行相应的中断向量的中断子程序, 无需判断中断源。

6.4.5.1 中断向量分组

本芯片 7 个硬件中断源, 分 7 组 (IG0 ~ IG6)。

中断组号	中断入口地址	中断名	备注
IG0	004 _H	SOFT	
IG1	008 _H	KIF	-
IG2	00C _H	T8P1IF	-
IG3	010 _H	PIF	-
IG4	014 _H	T8NIF	-
IG5	018 _H	LVDIF	-
IG6	01C _H	T8P2IF	-

表 6-5 中断向量分组表

6.4.6 操作说明

每个硬件中断源都有各自的中断使能和中断标志位, 因此初始化相应的硬件中断时, 需要先清除中断标志位, 再使能当前中断。若使能前不先清除中断标志, 则有可能发生误进中断的情况。除了每个中断支持中断使能外, 本芯片还提供了一个全局中断。因此在初始化所有需要的中断后, 请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。指令系统中有 PUSH (压栈) 和 POP (出栈) 指令, 可以用来实现中断的数据保存。可以保存的数据包括: 工作寄存器 A, 程序状态字寄存器 PSW、IAA 寄存器和 PCRH 寄存器。其它数据寄存器的保护需采用其它指令实现。

6. 4. 7 特殊功能寄存器

寄存器名称	中断标志寄存器 0 (INTF0)		
地址	FF9D _H		
复位值	0000 0000		
KIF	bit0	R/W	按键中断标志位 0: 其中 KIN0-4 未发生任何按键中断 1: 其中 KIN0-4 至少发生一个按键中断
T8P1IF	bit1	R/W	T8P1 中断标志位 0: T8P1 计数器计数未发生匹配 1: T8P1 计数器计数发生匹配 (必须软件清零)
PIF	bit2	R/W	外部端口中断标志位 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
T8NIF	bit3	R/W	T8N 溢出中断标志位 0: T8N 计数未溢出 1: T8N 计数溢出 (必须用软件清零)
LVDIF	bit4	R/W	LVD 中断标志位 0: 未检测到低电压 1: 检测到低电压
T8P2IF	bit5	R/W	T8P2 中断标志位 0: T8P2 计数器计数未发生匹配 1: T8P2 计数器计数发生匹配 (必须软件清零)
-	bit7-6	-	-

寄存器名称	中断使能寄存器 0 (INTE0)		
地址	FF9E _H		
复位值	0000 0000		
KIE	bit0	R/W	按键中断使能位 0: 禁止 KIN0-4 按键中断 1: 使能 KIN0-4 按键中断
T8P1IE	bit1	R/W	T8P1 中断使能位 0: 禁止 T8P1 中断 1: 使能 T8P1 中断
PIE	bit2	R/W	外部端口中断使能位 0: 禁止外部端口中断 1: 使能外部端口中断
T8NIE	bit3	R/W	T8N 溢出中断使能位 0: 禁止 T8N 中断 1: 使能 T8N 中断
LVDIE	bit4	R/W	LVD 中断使能位 0: 禁止 LVD 中断 1: 使能 LVD 中断
T8P2IE	bit5	R/W	T8P2 中断使能位 0: 禁止 T8P2 中断 1: 使能 T8P2 中断
-	bit7-6	-	-

寄存器名称	中断控制寄存器 0 (INTC0)		
地址	FF9F _H		
复位值	0000 0000		
KMSKx<4:0 >	bit4-0	R/W	KINx 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
PEG0	bit5	R/W	PINT0 触发边沿选择位 0: PINT0 下降沿触发 1: PINT0 上升沿触发
-	bit7~6	-	-

寄存器名称	中断全局寄存器 (INTG)		
地址	FFA0 _H		
复位值	0000 0000		
INTVEN	bit0	R/W	中断模式选择位 0: 默认中断模式 1: 向量中断模式
SOFTIF	bit1	R/W	软件中断标志位 0: 未发生软中断 1: 发生软中断
-	bit5-2	-	-
PEIE	bit6	R/W	外设中断使能位 0: 禁止外设中断 1: 使能未屏蔽的外设中断
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

寄存器名称	LVD 检测寄存器 (LVDC)		
地址	FFA1 _H		
复位值	0001 0000		
LVDV<1:0 >	bit1-0	R/W	LVD 电压检测选择位 00: 2.1V 01: 2.4V 10: 3.0V 11: 3.6V
-	bit3-2	-	-
LV DEN	bit4	R/W	LVD 使能位 0: 禁止 1: 使能
-	bit6-5	-	-
LVDLS	bit7	R	LVD 电压检测状态位 0: 电源电压高于预设电压 1: 电源电压低于预设电压

注：如果要求超低功耗，进入 IDLE 前才可设置 LV DEN 为 0，关闭相应的功能模块。

6.5 低功耗操作

6.5.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器位 LPM（PWRC<7>）进行选择。

- ◆ 支持 IDLE0 模式
 - 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式：
 - 时钟源停振，主系统时钟暂停
 - 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
 - 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
 - 所有 I/O 端口将保持进入 IDLE0 模式前的状态
 - 若使能 WDT，则 WDT 将被清零并保持运行
 - N_PD 位被清零，N_TO 位被置 1
- ◆ 支持 IDLE1 模式
 - 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式：
 - 时钟源保持运行，主系统时钟暂停
 - 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
 - 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
 - 所有 I/O 端口将保持进入 IDLE1 前的状态
 - 若使能 WDT，则 WDT 将被清零并保持运行
 - N_PD 位被清零，N_TO 位被置 1

6.5.2 低功耗模式配置

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 6-6 低功耗模式配置表

注：配置 LPM（PWRC<7>）选择低功耗模式，执行 IDLE 指令进入低功耗模式。为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将输入管脚拉为高电平或低电平。

6.5.3 IDLE唤醒方式配置

序号	唤醒源	中断屏蔽	中断使能	中断模式	备注
1	WDT	-	-	-	WDT 溢出
2	KINT0	KMSK0	KIE	默认/向量	外部按键中断
	KINT1	KMSK1			
	KINT2	KMSK2			
	KINT3	KMSK3			
	KINT4	KMSK4			
3	PINT	-	PIE	默认/向量	外部端口中断

表 6-7 休眠唤醒表

注 1: 低功耗唤醒与全局中断使能无关。在低功耗模式时, 若外设产生中断信号, 即使全局中断使能 GIE 为 0, 低功耗模式依然会被唤醒, 只是唤醒后不会执行中断程序。

注 2: 外部按键, 当中断使能和中断屏蔽位使能前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

:

6.5.4 唤醒时间计算

低功耗模式	计算公式
IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$
IDLE1 模式	$(WKDC[7:0] + 1) \times 2 T_{osc}$

表 6-8 唤醒时间计算表

注: 当唤醒事件发生后, 需要在主时钟运行 n 个时钟周期后, 才执行 IDLE 指令的下一条指令。n 可以通过 WKDC 进行设置; 在 IDLE1 模式下, 支持最小 1 个机器周期唤醒; 在 IDLE0 模式下, 需要先等 LDO 电源稳定, 再等主时钟源稳定后, 再计算 n 个周期。VRwkdly 表示 LDO 稳定的时间, 可通过寄存器位 VRST<1:0>(PWRC<6:5>)配置选择稳定时间。

6.5.5 特殊功能寄存器

寄存器名称	唤醒延时控制寄存器 (WKDC)		
地址	FFA9 _H		
复位值	1111 1111		
WKDC <7:0>	bit7-0	R/W	IDLE 唤醒延时控制位 当 WKDC<7:0> = FF _H 时, 延时最长 当 WKDC<7:0> = 00 _H 时, 延时最短

6.6 芯片配置字

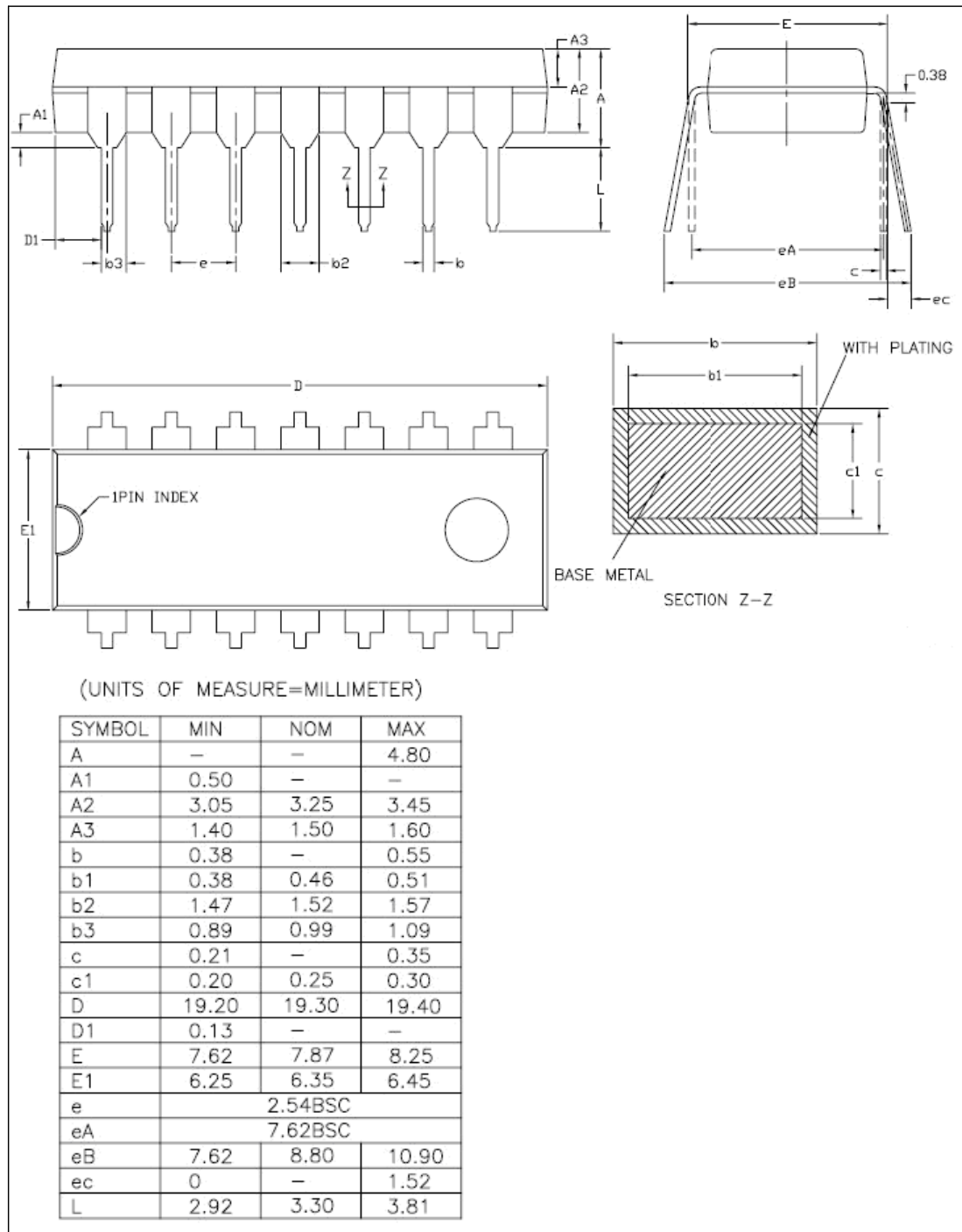
寄存器名称	芯片配置字 1 (CFG_WD)	
地址	3F1 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA2 和 PA3 010: HS 模式: 晶体振荡器连接到 PA2 和 PA3 100: XT 模式: 晶体振荡器连接到 PA2 和 PA3 101, 001, 011: 保留未用 110: INTOSCO 模式: CLKO 从 PA2 输出, PA3 为 I/O 111: INTOSC 模式: PA2 为 I/O, PA3 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
-	bit5	-
BOREN	bit6	低电压检测复位使能位 0: 禁止 1: 使能
BORVS	bit8-7	低电压选择位 00: 2.0 (默认) 01: 2.2 10: 2.7V 11: 3.4V
-	bit9	(保留, 默认为 1)
-	bit13-10	(保留, 默认为 0)
-	bit15-14	(保留, 不定)

注 1: CLKO 为系统时钟的 16 分频输出;

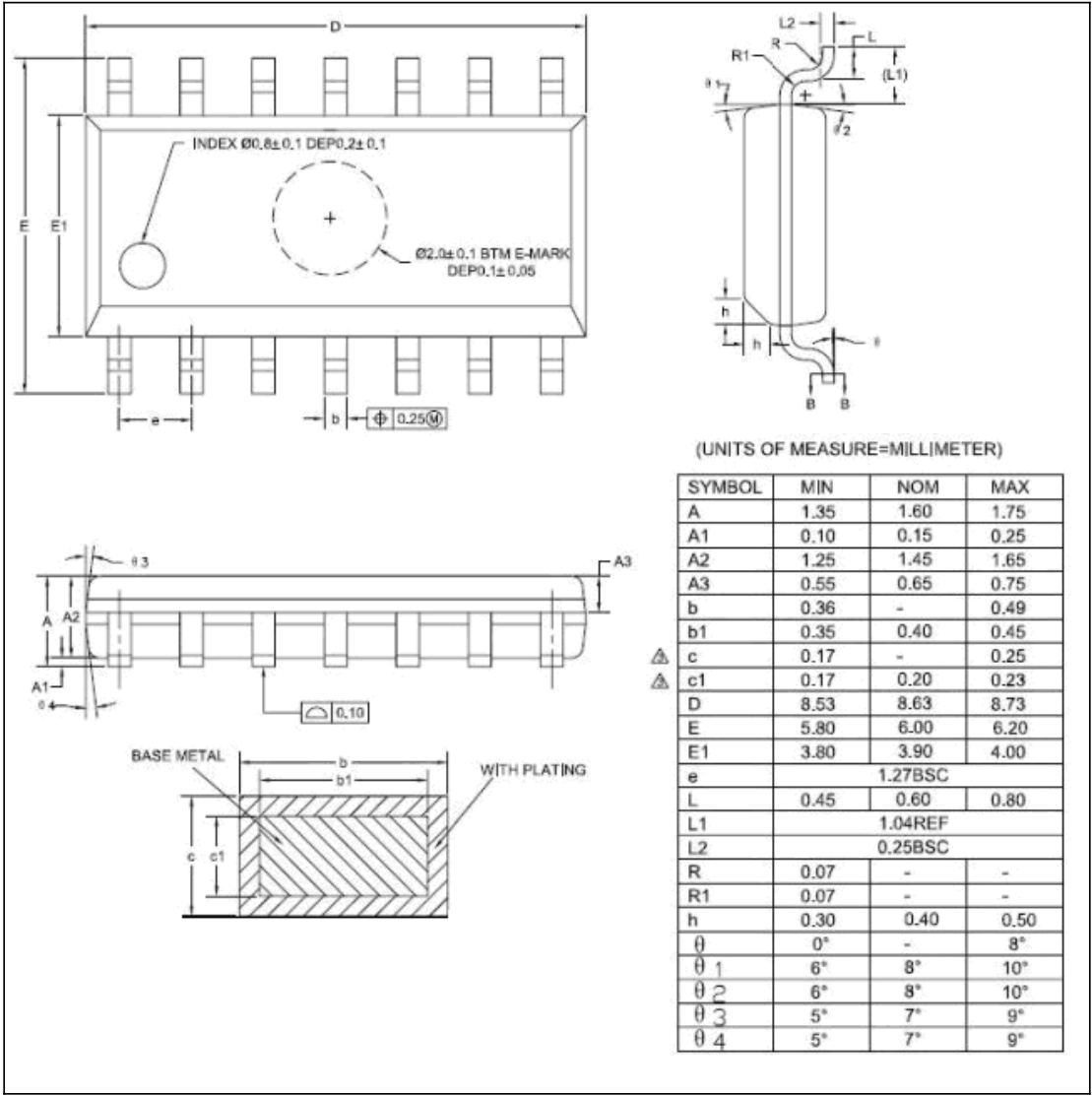
第 7 章 芯片封装图

7.1 14-pin 封装图

DIP14

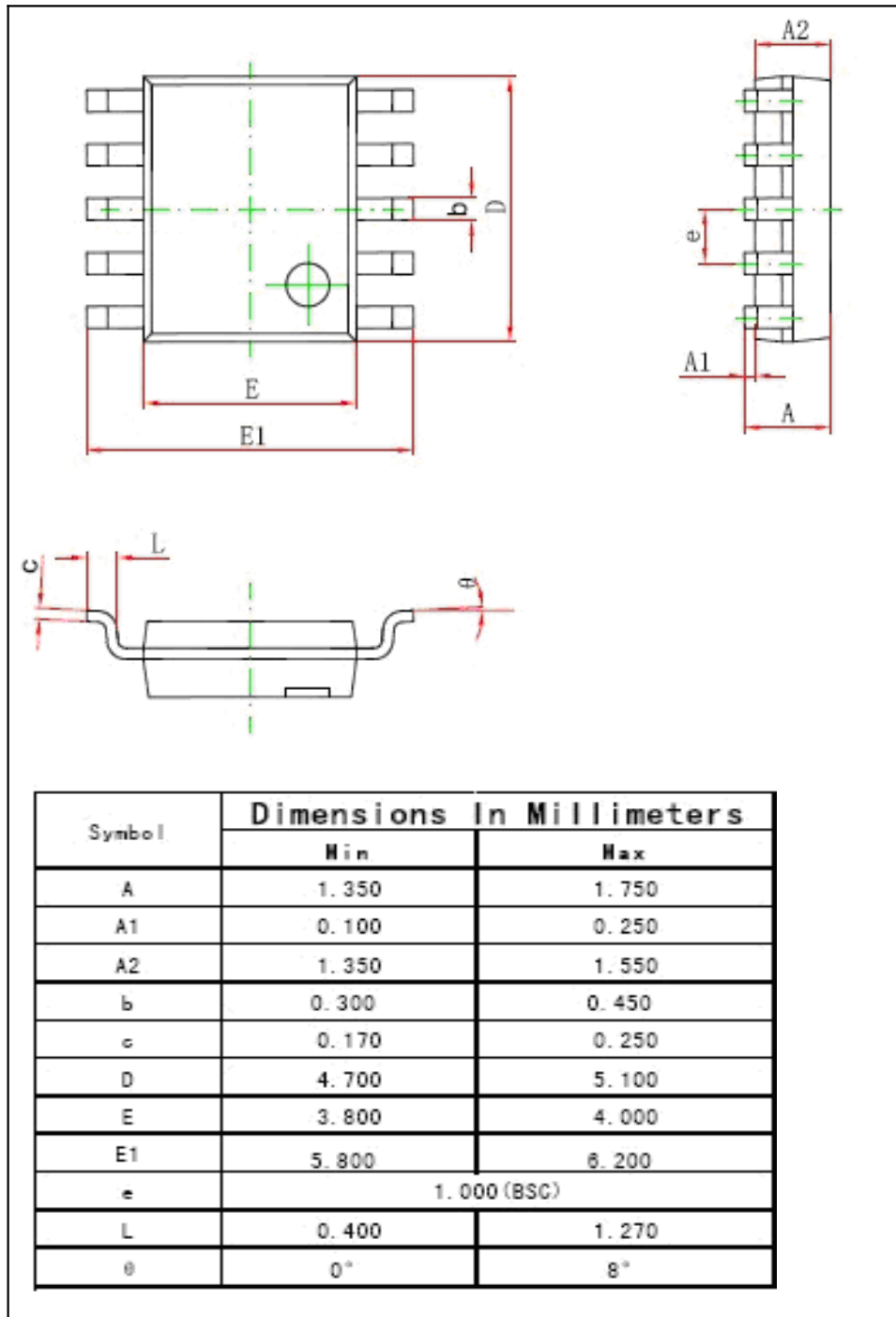


SOP14



7.2 10-pin 封装图

SSOP10



附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响 状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->({4'h0,R<6:0>})
8	MOVRA	R<10:0>	-	1	({4'h0,R<6:0>})->(A)

附录表 1-1 寄存器操作指令表

附录1.3 程序控制指令

序号	指令		影响 状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<9:0>->PC<9:0> I<9:8>->PCR<1:0>
11	GOTO	I<10:0>	-	2	I<9:0>->PC<9:0>，
12	CALL	I<10:0>	-	2	PC+1->TOS, I<9:0>->PC<9:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS, I<9:0>->PC<9:0> I<9:8>->PCR<1:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)->PC<7:0>， PCR<1:0>->PC<9:8>，

附录表 1-2 程序控制指令表

[续]

序号	指令		影响 状态位	机器周期	操作
15	JBC	R<7:0>, B<2:0>	-	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>, B<2:0>	-	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	-	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A),TOS->PC
33	RETIE	-	-	2	TOS->PC,1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD

附录表 1-3 程序控制指令表[续]

附录1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器周期	操作
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1	0->R
44	BSS	R<7:0>,B<2:0>	-	1	1->R
45	BTT	R<7:0>,B<2:0>	-	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF _H ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	-	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)->(目标)

附录表 1-4 算术/逻辑运算指令表

[续]

序号	指令		影响状态位	机器周期	操作
61	SUBC	R<7:0>,F	C,DC, Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C,DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C,DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C,DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C,DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	-	-	2	Pmem(FRA)->ROMD
70	TBR#1	-	-	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	-	-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	-	-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	-	-	2	本芯片不支持该条指令
74	TBW#1	-	-	2	本芯片不支持该条指令
75	TBW_1	-	-	2	本芯片不支持该条指令
76	TBW1#	-	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

附录表 1-5 算术/逻辑运算指令表[续]

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. 部分指令中，PC 的位数以及 PCRU 寄存器，视实际芯片而定。对 HR7P159 芯片，PC 的位数是 10 位，没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	间接寻址数据寄存器								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器<15:8>								0000 0000
FF83 _H	-	-								-
FF84 _H	PSW	-	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器								xxxx xxxx
FF86 _H	-	-								-
FF87 _H	FRAL	程序存储器查表地址寄存器<7:0>								xxxx xxxx
FF88 _H	FRAH	程序存储器查表地址寄存器<15:8>								xxxx xxxx
FF89 _H	ROMDL	程序存储器查表数据寄存器<7:0>								xxxx xxxx
FF8A _H	ROMDH	程序存储器查表数据寄存器<15:8>								xxxx xxxx
FF8B _H	PCRL	程序计数器<7:0>								0000 0000
FF8C _H	PCRH	-	-	-	-	-	-	程序计数器<9:8>		0000 0000
FF8D _H	-	-								-
FF8E _H	PA	-	-	-	-	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F _H	PAT	-	-	-	-	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	0000 xxxx
FF91 _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0000 1111
FF92 _H	-	-								-
FF93 _H	-	-								-
FF94 _H	-	-								-
FF95 _H	-	-								-
FF96 _H	N_PAU	-	-	-	-	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF97 _H	N_PBU	N_PBU7	N_PBU6	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0000 1111
FF98 _H	-	-								-
FF99 _H	PALC	-	-	-	-	PALC3	PALC2	-	PALC0	0000 0000
FF9A _H	PBLC	PBLC7	PBLC6	PBLC5	PBLC4	PBLC3	PBLC2	PBLC1	PBLC0	0000 0000
FF9B _H	-	-								-
FF9C _H	-	-								-
FF9D _H	INTF0	-	-	T8P2IF	LVDIF	T8NIF	PIF	T8P1IF	KIF	0000 0000
FF9E _H	INTE0	-	-	T8P2IE	LVDIE	T8NIE	PIE	T8P1IE	KIE	0000 0000
FF9F _H	INTC0	-	-	PEG0	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 _H	INTG	GIE	PEIE	-	-	-	-	SOFTIF	INTVEN	0000 0000
FFA1 _H	LVDC	LVDLS	-	-	LVDEN	-	-	LVDV<1:0>		0001 0000
FFA2 _H	-	-								-
FFA3 _H	-	-								-
FFA4 _H	-	-								-
FFA5 _H	OSCCAL	内部 16MHz 时钟频率调节位								0000 0000

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFA6 _H	WDTCAL	内部 32KHz 时钟频率调节位								0000 0000
FFA7 _H	PWRC	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0101 1101
FFA8 _H	OSCC	CLKSS	IRCF<2:0>			-	WDTOSCF	HSOSCF	LPOS CF	0110 0100
FFA9 _H	WKDC	唤醒延时控制寄存器								1111 1111
FFAA _H	OSCP	时钟控制写保护寄存器								1111 1111
FFAB _H	WDTC	-	-	-	WDTPRE	WDTPRS<3:0>				0001 0111
FFAC _H	PWEN	-	SW_WDT	SW_HS	SW_LP	-	-	RCEN	SREN	0100 0011
FFAD _H	-	-								-
FFAE _H	-	-								-
FFAF _H	-	-								-
FFB0 _H	T8N	T8N 计数器								0000 0000
FFB1 _H	T8NC	T8N 控制寄存器								0000 0000
FFB2 _H	T8P1	T8P1 计数器								0000 0000
FFB3 _H	T8P1C	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB4 _H	T8P1P	T8P1 周期寄存器								1111 1111
FFB5 _H	T8P1RL	T8P1 精度寄存器								0000 0000
FFB6 _H	T8P1RH	T8P1 精度缓冲寄存器								0000 0000
FFB7 _H	T8P1OC	-	-	-	-	-	-	T8P1EN<1:0>		0000 0000
FFB8 _H	T8P2	T8P2 计数器								0000 0000
FFB9 _H	T8P2C	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000
FFBA _H	T8P2P	T8P2 周期寄存器								1111 1111
FFBB _H	T8P2RL	T8P2 精度寄存器								0000 0000
FFBC _H	T8P2RH	T8P2 精度缓冲寄存器								0000 0000
FFBD _H	T8P2OC	-	-	-	-	-	-	T8P2EN<1:0>		0000 0000
FFBE _H ~ FFFF _H	-	-								-

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.2 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.2	-	5.5	V	F _{OSC} ≤ 2MHz; -40°C ~ 85°C
		2.7	-	5.5	V	F _{OSC} ≤ 8MHz; -40°C ~ 85°C
		3.0	-	5.5	V	F _{OSC} ≤ 16MHz; -40°C ~ 85°C
IDLE0 休眠模式芯片电流	I _{PD1}	-	15	-	μA	25°C, VDD = 5V, BOR, WDT 使能, LVD 不使能。
		-	20	-	μA	25°C, VDD = 5V, BOR, WDT, LVD 使能。
IDLE1 休眠模式芯片电流 (高速时钟模式)	I _{PD2}	-	400	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式芯片电流 (低速时钟模式)	I _{PD3}	-	30	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
正常运行模式芯片电流 (高速时钟模式)	I _{OP1}	-	1.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载。
正常运行模式芯片电流 (低速时钟模式)	I _{OP2}	-	0.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟 (内部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载。

[续]

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式芯片电流（低速时钟模式）	I_{OP3}	-	35	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR, LVD 使能, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I_{MAXVDD}	-	55	-	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I_{MAXVSS}	-	120	-	mA	25°C, VDD = 5V
非大电流 I/O 端口灌电流	I_{OL}	-	12	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
非大电流 I/O 端口拉电流	I_{OH}	-	8	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口灌电流	I_{OL}	-	30	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口拉电流	I_{OH}	-	20	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA0、PA2~PA3、PB 端口输入高电平（有施密特输入特性）	V_{IH}	0.8VDD	-	VDD	V	$2.2V \leq VDD \leq 5.5V$
PA1 端口输入高电平（无施密特输入特性）		0.8VDD	-	VDD	V	
PA0、PA2~PA3、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
PA1 端口输入低电平		VSS	-	0.20VDD	V	
PA0、PA2~PA3、PB 端口输入漏电流	I_{IL}	-	-	± 1	μA	$2.2V \leq VDD \leq 5.5V$ $VSS \leq V_{pin} \leq VDD$ （端口处于高阻状态）
PA1 端口漏电流		-	-	5	μA	$VSS \leq V_{pin} \leq VDD$
PA0、PA2~PA3、PB 端口输入弱上拉电流	I_{WPU}	6	-	85	μA	$2.2V \leq VDD \leq 5.5V$ $V_{pin} = VSS$

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	$V_{DD}-0.7$	-	-	V	$2.2V \leq V_{DD} \leq 5.5V$ $I_{OH} = 2 \text{ mA}$
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	$2.2V \leq V_{DD} \leq 5.5V$ $I_{OL} = 3 \text{ mA}$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	-	-	16M	Hz	$3.0V \leq V_{DD} \leq 5.5V$
				8M	Hz	$2.7V \leq V_{DD} \leq 5.5V$
		-	-	2M	Hz	$2.2V \leq V_{DD} \leq 5.5V$
系统时钟周期	T_{OSC}	62.5	-	-	ns	$3.0V \leq V_{DD} \leq 5.5V$
		125	-	-	ns	$2.7V \leq V_{DD} \leq 5.5V$
		500	-	-	ns	$2.2V \leq V_{DD} \leq 5.5V$
机器周期	T_{inst}	125	-	-	ns	$3.0V \leq V_{DD} \leq 5.5V$
		250	-	-	ns	$2.7V \leq V_{DD} \leq 5.5V$
		1000	-	-	ns	$2.2V \leq V_{DD} \leq 5.5V$
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	-	-	15	ns	-
WDT 溢出时间	T_{WDT}	13.8 (37K)	16 (32K)	17.5 (29K)	ms	WDT 时钟源二分频 $V_{DD} = 5V$, -40℃ ~ 85℃

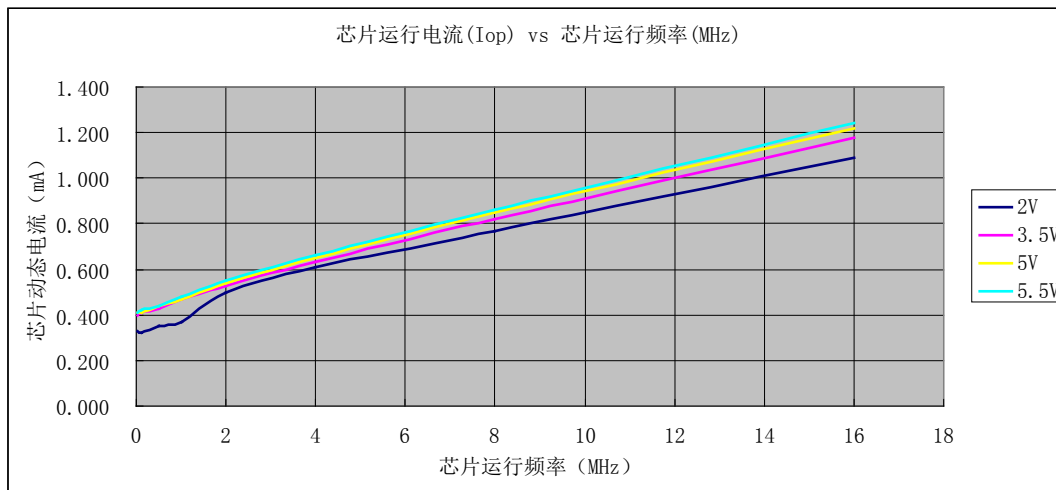
◆ 内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25℃ 将频率校准至 16MHz	25℃, $V_{DD} = 5V$	15.68	16	16.32	MHz
	-40℃ ~ 85℃, $V_{DD} = 2.2V \sim 5.5V$	15.2	16	16.8	MHz

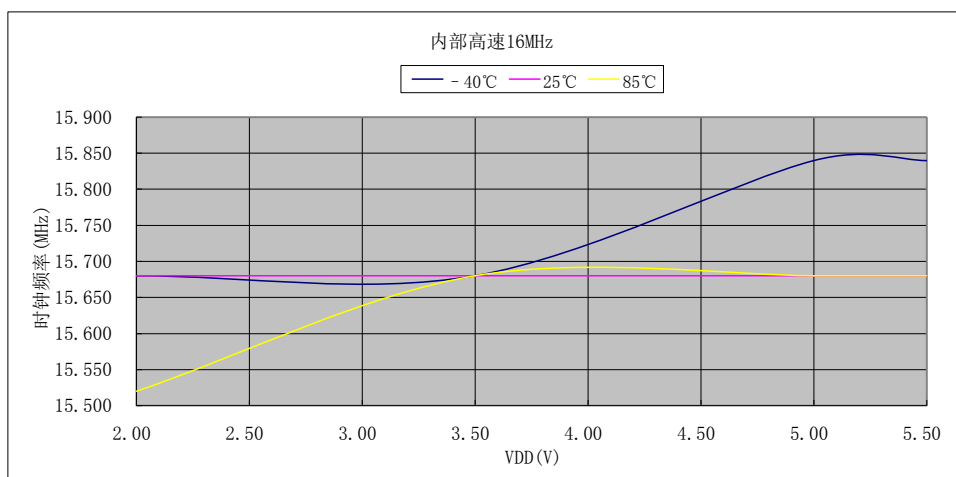
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

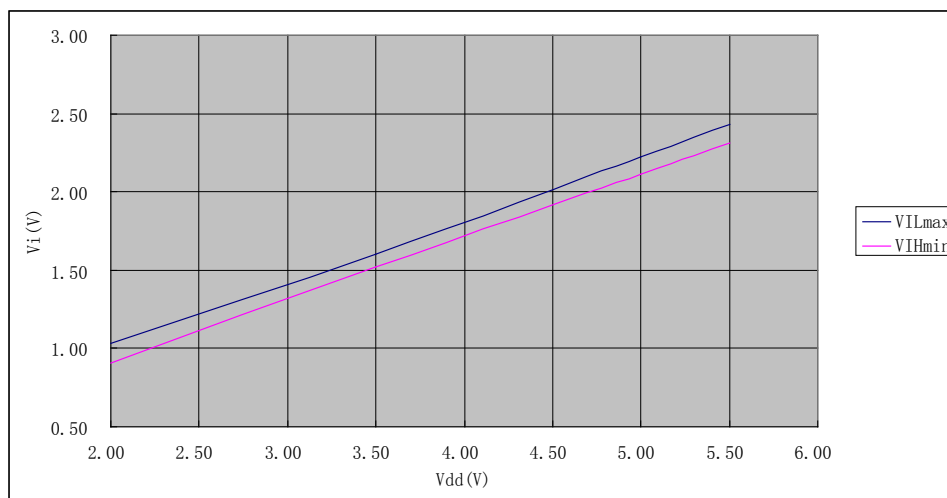
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25℃）



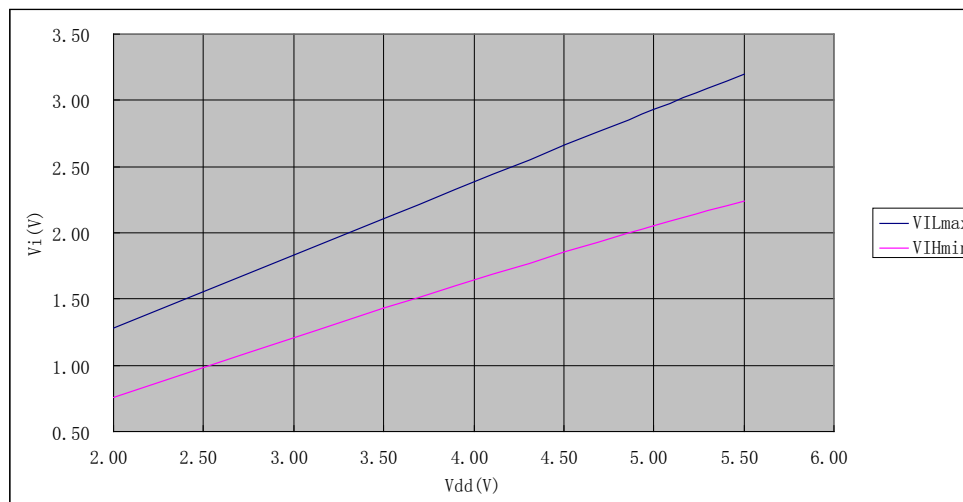
◆ 内部高速 16MHz 时钟频率随电压和温度变化图



◆ PA1 输入特性图（室温 25°C）

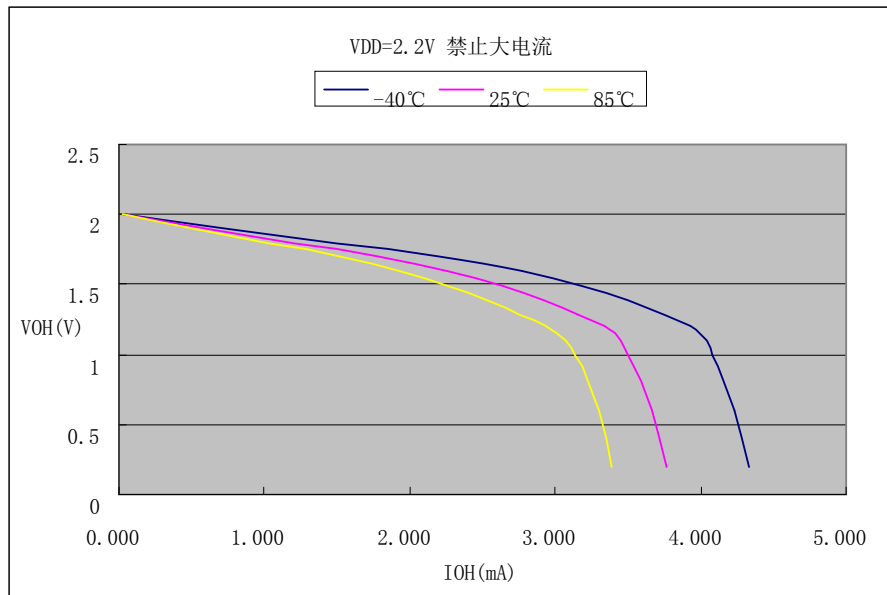


◆ I/O 端口（非 PA1 端口）信号输入特性图（室温 25°C）

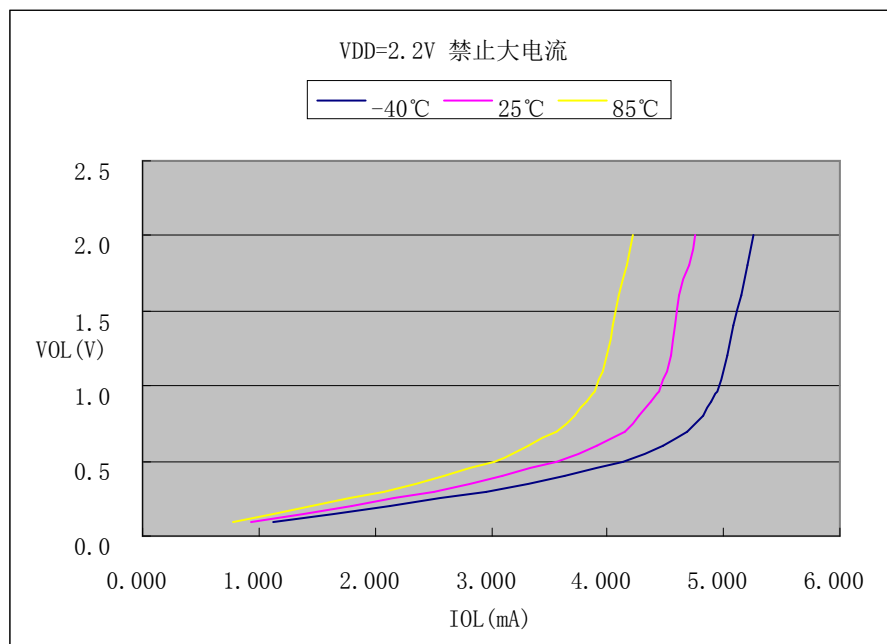


◆ I/O 端口信号输出特性图（非大电流端口）

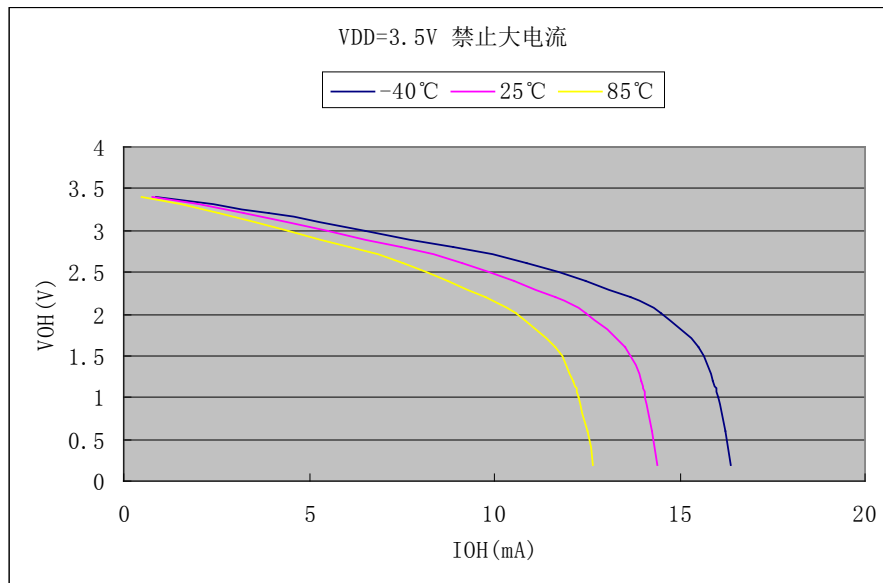
A: V_{OH} vs I_{OH} @ $V_{DD}=2.2V$



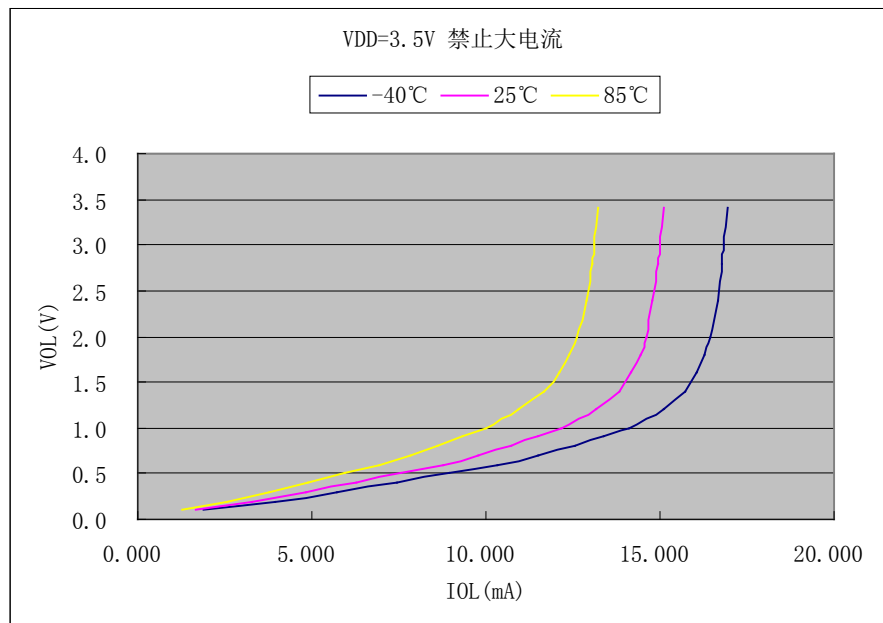
B: V_{OL} vs I_{OL} @ $V_{DD}=2.2V$



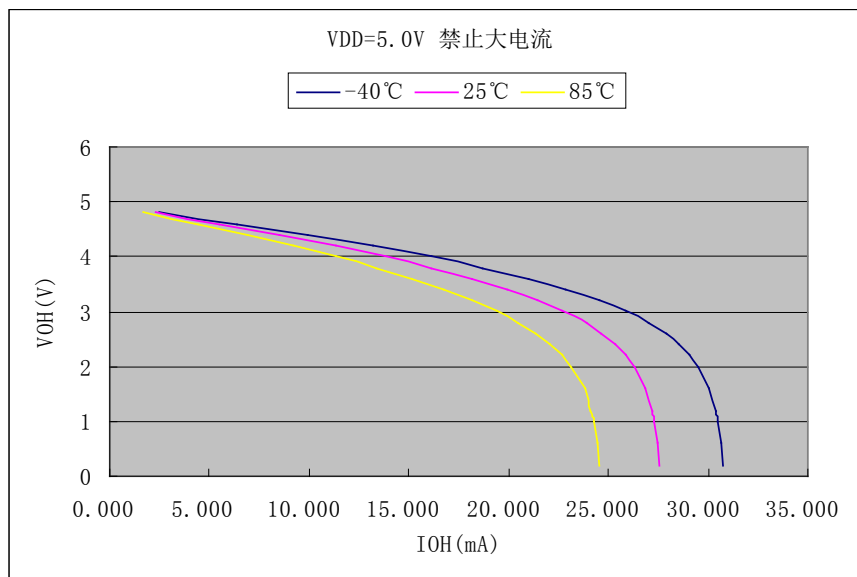
C: V_{OH} vs I_{OH} @ $V_{DD}=3.5V$



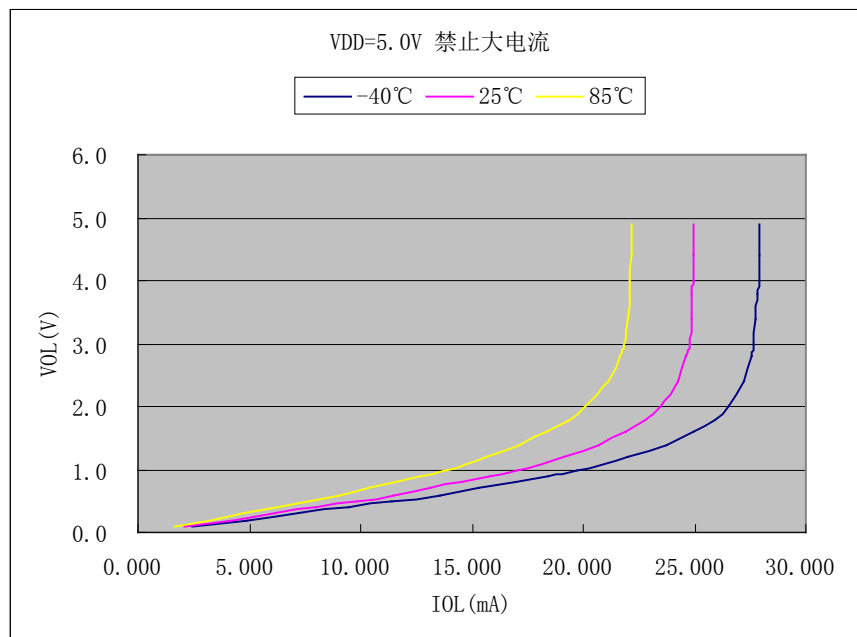
D: V_{OL} vs I_{OL} @ $V_{DD}=3.5V$



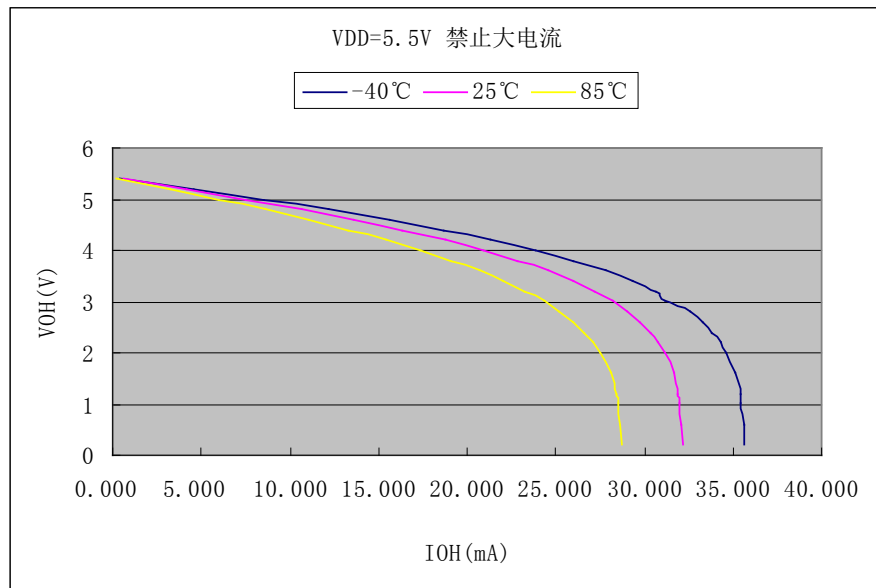
E: V_{OH} vs I_{OH} @VDD=5.0V



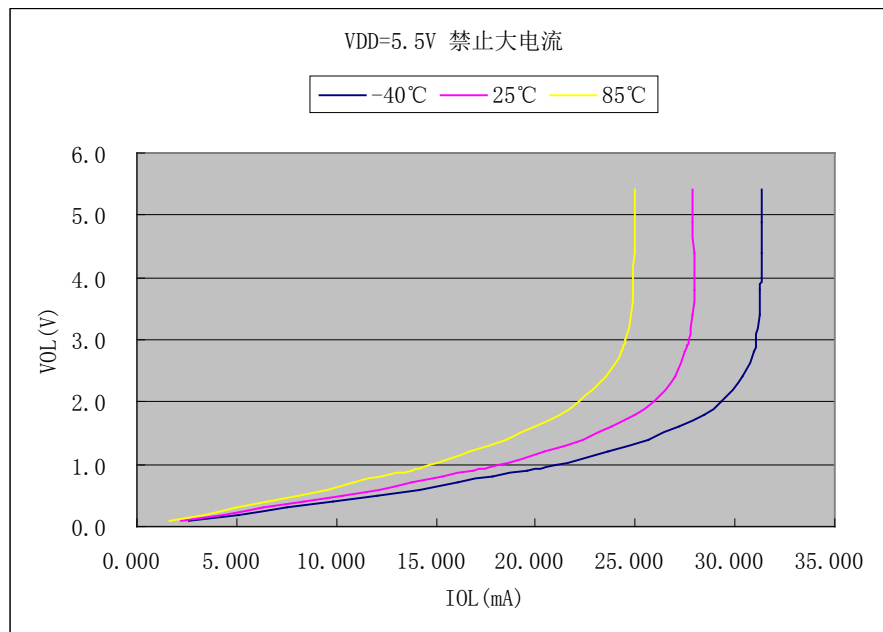
F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V

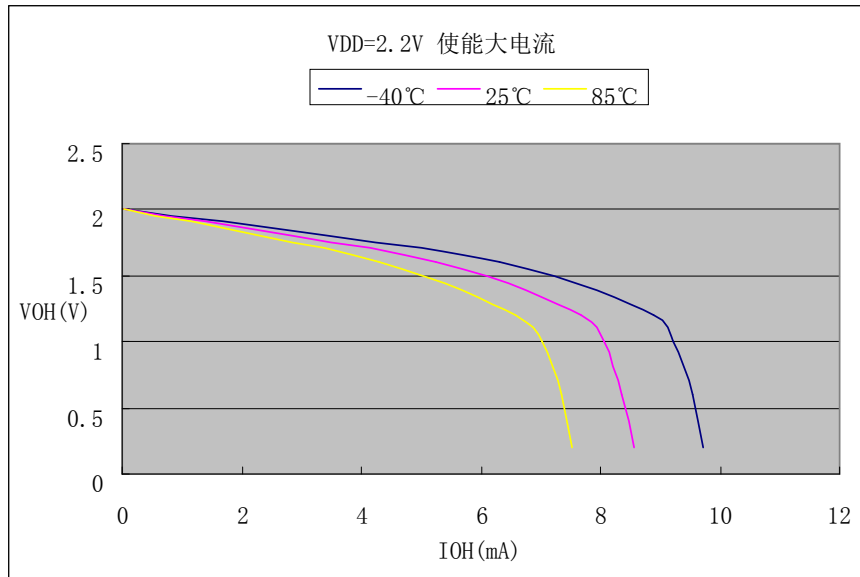


H: V_{OL} vs I_{OL} @VDD=5.5V

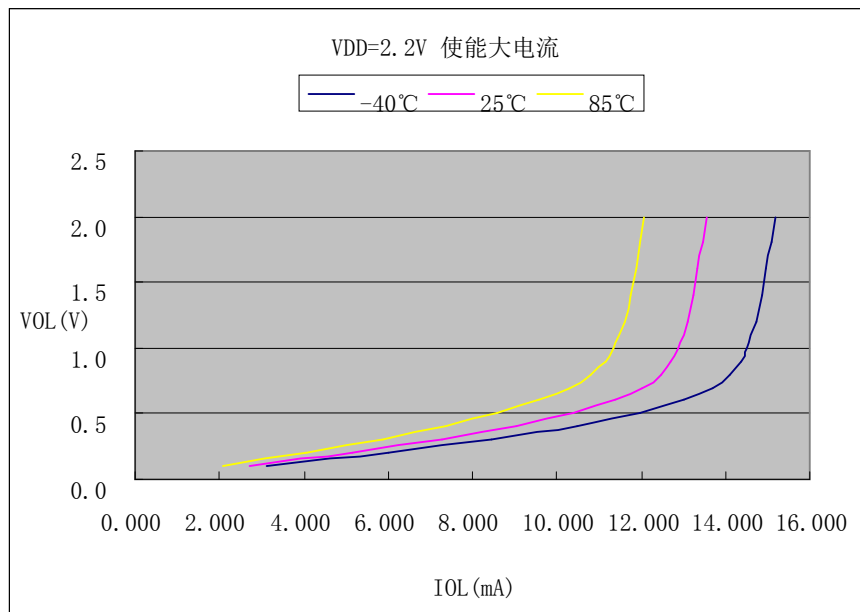


◆ I/O 端口信号输出特性图（大电流端口）

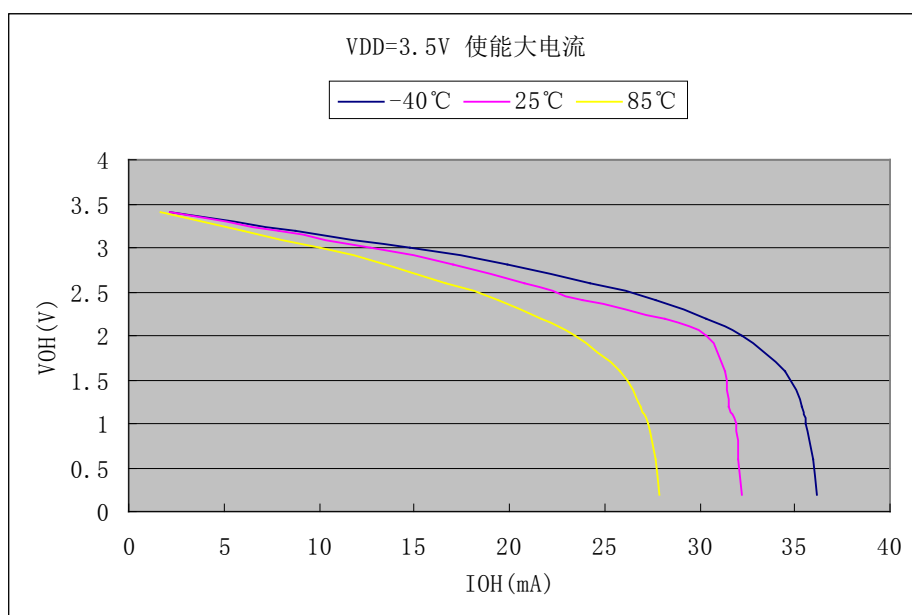
A: V_{OH} vs I_{OH} @ $V_{DD}=2.2V$



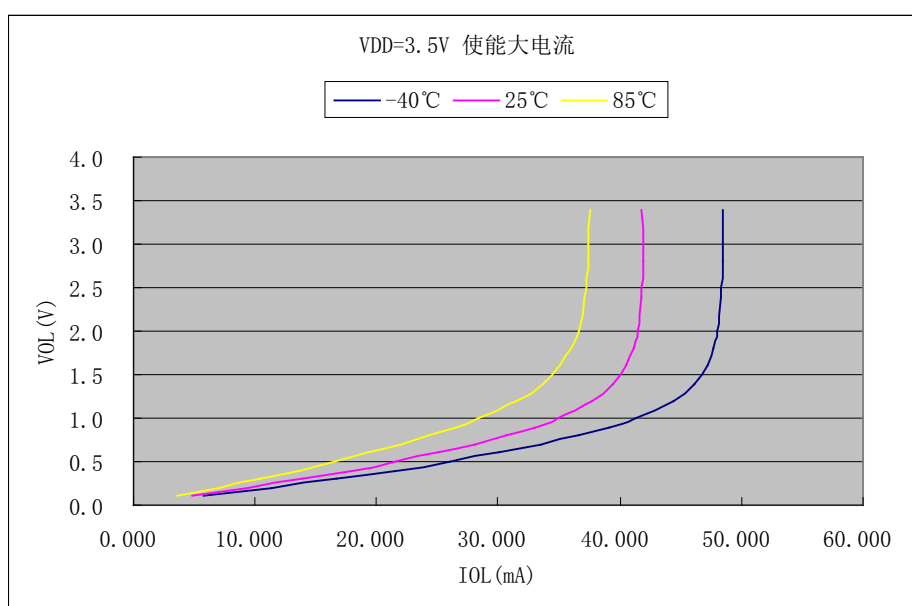
B: V_{OL} vs I_{OL} @ $V_{DD}=2.2V$



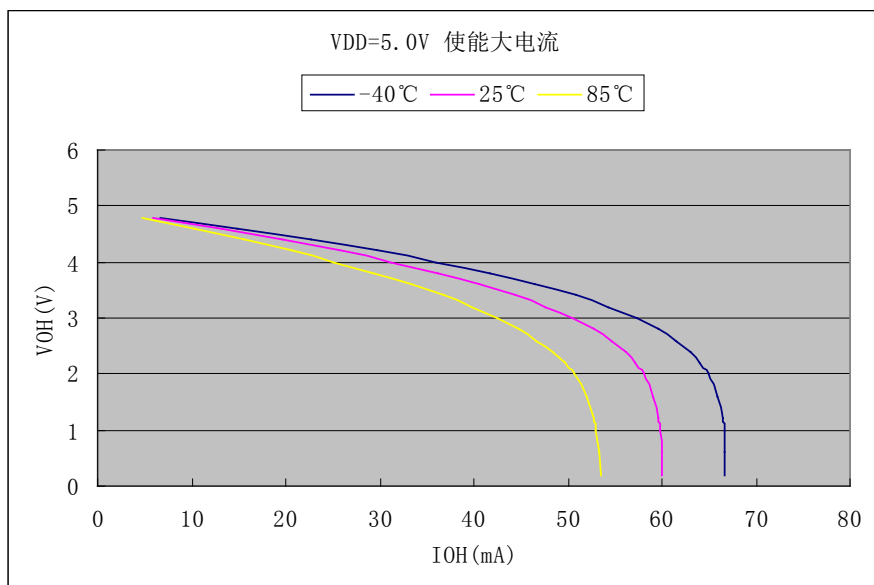
C: V_{OH} vs I_{OH} @VDD=3.5V



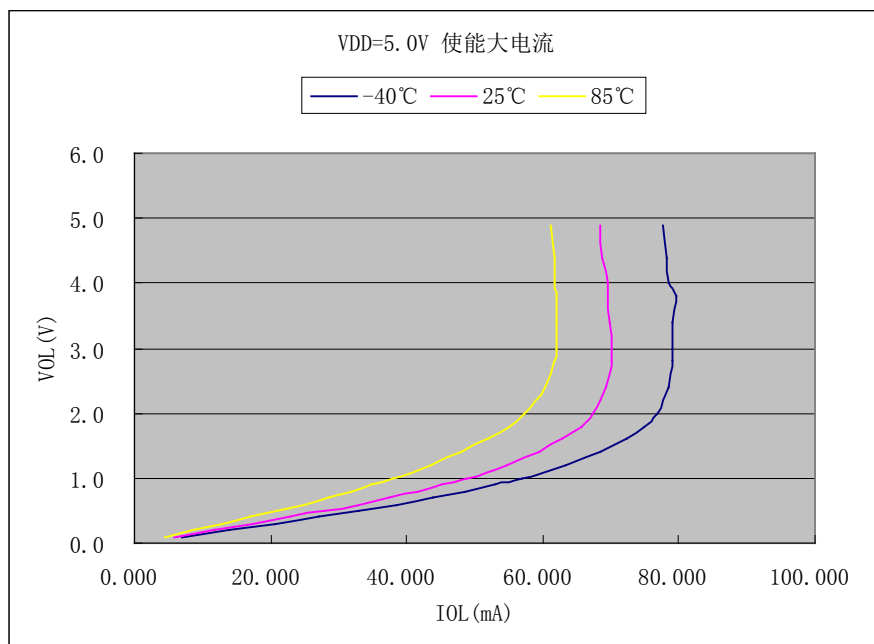
D: V_{OL} vs I_{OL} @VDD=3.5V



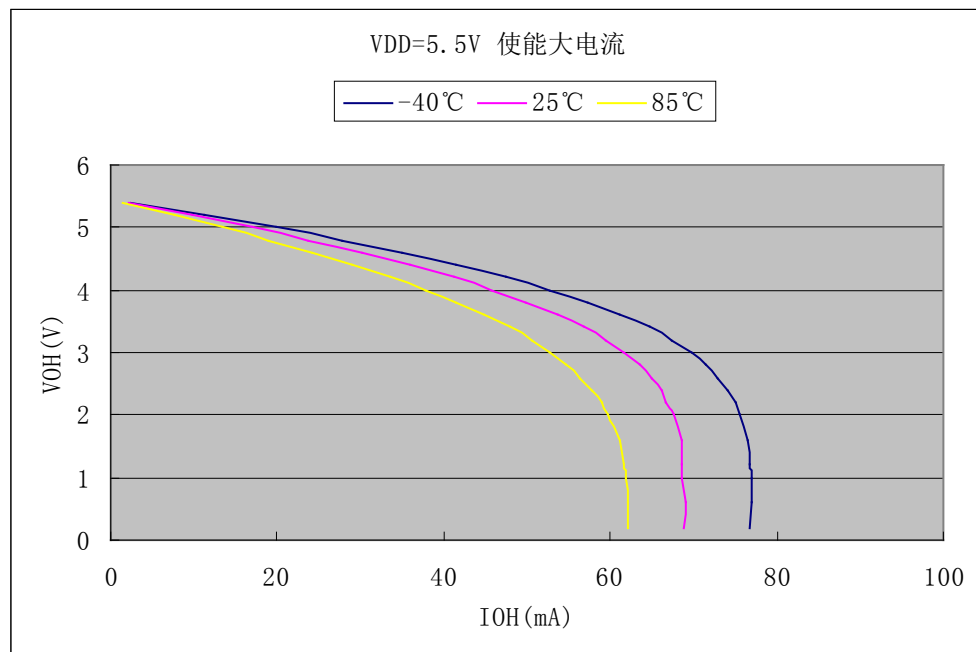
E: V_{OH} vs I_{OH} @VDD=5.0V



F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V



H: V_{OL} vs I_{OL} @VDD=5.5V

